



Conception Robuste dans les Technologies CMOS et post-CMOS

L. Anghel

► **To cite this version:**

L. Anghel. Conception Robuste dans les Technologies CMOS et post-CMOS. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2007. <tel-00185993>

HAL Id: tel-00185993

<https://tel.archives-ouvertes.fr/tel-00185993>

Submitted on 7 Nov 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Institut Polytechnique Grenoble

Habilitation à Diriger des Recherches

n° ISBN : 978-2-84813-106-1

Spécialité Micro et Nano Electronique

Préparée au Laboratoire TIMA

Techniques de l'Informatique et de la Microélectronique pour l'Architecture des ordinateurs

Dans le cadre de l'Ecole Doctorale

Electronique, Electrotechnique, Automatique, Télécommunications, Signal

Présentée par

Lorena ANGHEL

Titre :

Conception robuste dans les technologies CMOS avancées et post-CMOS

Présidente du jury : Nadine Guillemot, PR, Grenoble INP

Rapporteurs :

B. Courtois, DR CNRS, Laboratoire CMP, CNRS-INPG-UJF

Pascal Fouillat, PR, Laboratoire IMS, Universités de Bordeaux

Jean Arlat, DR CNRS, Laboratoire LAAS-CNRS, Universités de Toulouse

Examineurs :

Michael Nicolaidis, DR CNRS, Laboratoire TIMA, CNRS-INPG-UJF

Mario Diaz-Nava, PhD, STMicroelectronics, Grenoble

Remerciements

Je tiens tout particulièrement à exprimer ma profonde reconnaissance et gratitude à Mr Michael Nicolaidis, ex-responsable de l'équipe RIS du laboratoire TIMA jusqu'au 2001, pour la confiance qu'il m'a témoignée depuis bientôt dix ans. Ses conseils, son soutien, son franc parler, permanents tout au long de ces années et son excellence scientifique ont joué un rôle crucial dans ce travail. Je lui suis très reconnaissant d'avoir accepté de superviser mon HDR.

Un grand merci à Mr. Pascal Fouillat, Professeur à ENSEIRB, Université Bordeaux 1 et à M. Jean Arlat, DR au Laboratoire LAAS-CNRS de Toulouse, qui ont répondu favorablement à ma requête pour être les "deux rapporteurs externes de l'Académie de Grenoble" de cette HDR. J'ai sollicité leur concours connaissant leur compétence et la qualité scientifique de leurs travaux.

Des remerciements particuliers vont à Mr Bernard Courtois qui a accepté de rapporter « en tant que rapporteur local de l'Académie de Grenoble » sur mon travail de recherche. En tant qu'ancien Directeur du laboratoire TIMA, il suit depuis dix ans mes travaux de recherche. Je tiens à lui exprimer mes plus sincères remerciements pour ses précieux conseils, nos discussions diverses et variées, les nombreuses opportunités qu'il m'a offert au cours de ces années.

Tous mes remerciements à Mme Nadine Guillemot pour avoir trouvé le temps et accepté la Présidence de ce jury d'habilitation.

Je remercie également M. Mario Diaz-Nava, d'avoir accepté de faire partie de ce jury, pour ses conseils. Ma reconnaissance va aussi à Mr Raoul Velazco l'actuel responsable du groupe QLF que j'ai intégré suite au départ de Michael pour son aventure, la start-up IRoC Tehcnologies. Raoul a été un des premiers lecteurs de ce manuscrit, ces connaissances en français étant meilleures que les miennes et très appréciées au bon moment ... Une grande partie de ces travaux de recherche et d'enseignement n'aurait pas pu être possibles sans les conseils, le soutien permanent et constant de Mr Régis Leveugle.

Le travail présenté dans ce mémoire est un travail collectif. Mes remerciements vont à ceux qui m'ont accompagné dans cette aventure intellectuelle depuis plusieurs années : Susi Saleh, Nadir Achouri, Elefterios Kolonis, Claudia Rusu, Dan Alexandrescu, Cristiano Lazzari, Trinh Trong Dang. J'espère leur avoir apporté au moins autant qu'ils m'ont apporté. Sans eux, ce document n'existerait pas. Je remercie mes collègues du TIMA, administratifs et enseignants, les collègues de l'ENSERG, avec qui je partage les problèmes et les plaisirs quotidiens.

Enfin, mes remerciements vont bien sur à mon cher époux et à toute ma famille qui sont toujours là et supportent le rythme de vie que je leur impose.

Table de Matières

TABLE DE MATIERES	3
AVANT-PROPOS.....	5
1. CHAPITRE 1 INTRODUCTION GENERALE.....	7
1.1. VERS DES SYSTEMES INTEGRES ULTIMES A BASE DE CMOS	7
1.2. LES DEFIS DE LA CONCEPTION INTEGREE EN TECHNOLOGIES CMOS ULTIMES	8
1.2.2. Bruit sur les rails d'alimentation.....	10
1.2.3. Variation du processus technologique.....	12
1.2.4. Vieillissement des transistors induit par NBTI.....	15
1.2.5. Les techniques de réduction de la puissance	16
1.2.6. Effets des particules ionisantes et des neutrons atmosphériques	16
1.2.7 Défauts permanents.....	19
1.3. DEFIS DES NANOTECHNOLOGIES	19
CHAPITRE 2 TECHNIQUES DE TOLERANCE AUX FAUTES DANS LES CMOS ULTIMES ET	
NANOELECTRONIQUE	22
2.1. TECHNIQUES DE TOLERANCE AUX FAUTES TRANSITOIRES ET DE DELAI DANS LES CMOS ULTIMES	22
2.1.1. TECHNIQUES DE TOLERANCE AUX FAUTES TRANSITOIRES ET DE DELAI AU NIVEAU BLOC FONCTIONNEL.....	23
2.1.1.1. Tolérance aux fautes matérielles par l'utilisation du C-element.....	23
2.1.1.2. Tolérance aux fautes HW/SW par la redondance temporelle.....	26
2.2. ANALYSE DES CIRCUITS AUTO-CONTROLABLES FACE AUX FAUTES TEMPORELLES ET A NIVEAUX	
INDETERMINES.....	30
2.3. TOLERANCE AUX FAUTES DANS LA NANO-ELECTRONIQUE.....	30
2.3.1. Nanoélectronique - Technologie à très grande densité de défauts	31
2.3.2. Techniques d'auto-réparation à l'aide de BIST et BISR	32
2.3.2.1. Techniques d'auto-réparation au niveau de colonne/bit de données	34
2.3.2.3. Approches diversifiées d'auto-réparation	36
a. Autoréparation basée sur la polarité des erreurs.....	36
b. Auto-réparation basée sur la reconfiguration dynamique combinant la réparation au niveau de la	
colonne de données et des blocs de données.....	38
c. Autoréparation dynamique combinée avec des codes ECC.....	40
2.3.3. Autoréparation au niveau cellule mémoire ou cellule logique simple.....	41
2.4. Bilan du chapitre	43
2.5. Perspectives.....	43
CHAPITRE 3 EVALUATION PREDICTIVE DU COMPORTEMENT DES CIRCUITS COMPLEXES	
FACE AUX FAUTES	45
3.1. INTRODUCTION	45
3.2. MODELES DE FAUTES ET NIVEAUX D'ABSTRACTIONS	50

3.3. LIEN ENTRE LES NIVEAUX D'ANALYSE.....	53
3.4. EVALUATION DE SENSIBILITE AU NIVEAU PHYSIQUE.....	55
3.5. EVALUATION DE LA SENSIBILITE AU NIVEAU ELECTRIQUE (SPICE).....	57
3.6. EVALUATION DE LA SENSIBILITE AU NIVEAU LOGIQUE	60
3.7. EVALUATION DE LA SENSIBILITE AU NIVEAU RTL ET SYSTEME	62
3.8. BILAN DU CHAPITRE	63
3.9. PERSPECTIVES	63
CHAPITRE 4. SYSTEMES COMPLEXES FIABLES A BASE DE NANOTECHNOLOGIES	65
4.1. DU NANOTUBE DE CARBONE AU TRANSISTOR CNTFET	66
4.2. NANOTUBES DE CARBONE : MODELE COMPACT.....	69
4.3. NANOTUBES DE CARBONE : PORTES LOGIQUES ET ELEMENTS DE MEMORISATION	71
4.4. SIMULATION DES PORTES LOGIQUES A BASE DE CNTFET	73
4.5. OUTILS DE SIMULATION DE DEFAUTS ET FAUTES PARAMETRIQUES	76
4.6. PERSPECTIVES : AUTRES OUTILS DE CAO POUR LES NANOTECHNOLOGIES	77
CHAPITRE 5. CONCLUSION ET PERSPECTIVES	80
REFERENCES.....	82
DEUXIEME PARTIE.....	85
CURRICULUM VITAE DETAILLE	85

Avant-propos

Ce document est rédigé en vue de l'obtention d'un diplôme d'habilitation à diriger des recherches de l'Institut National Polytechnique de Grenoble. Il résume les activités de recherche et d'enseignement auxquelles je me suis consacrée depuis une dizaine d'années : depuis ma thèse de doctorat au laboratoire TIMA entre 1997 et 2000 dans l'équipe RIS (Reliable Integrated Systems) ensuite pendant mon année d'Attaché Temporaire à l'Enseignement et à la Recherche à l'Université Joseph Fourier et enfin par les travaux de recherche en tant que Maître de Conférences à l'INPG Ecole Nationale Supérieure d'Electronique et Radioélectricité et chercheur au laboratoire TIMA au sein du groupe QLF (Qualifications of Circuits). Il intègre également les activités de recherche que j'ai effectuées lors de deux mobilités aux Etats-Unis en 2004 et en 2005 au sein de deux compagnies EDA et semiconducteurs : Intel Corporation et Zenasis Corporation.

En parallèle, j'ai exercé une activité d'enseignement très conséquente. Depuis 1998, j'enseigne la conception numérique VLSI ASIC et/ou FPGA, la conception de systèmes embarqués à différents niveaux d'abstraction, langages de modélisation informatiques, architectures des ordinateurs et des équipements pour les télécommunications, le test et la testabilité des circuits électroniques numériques, la tolérance aux fautes, dans différentes écoles d'ingénieurs de l'INPG (comme ENSIMAG, ENSERG, Département de Télécommunications, Mastère Nanotech), à l'Université Joseph Fourier de Grenoble ainsi que dans le cadre du Master Recherche Pro CSINA, ainsi que la Formation Continue de l'INPG et d'autres formations spécifiques auprès des industriels.

Ce mémoire présente dans sa première partie un résumé de mes travaux de recherche, menés en collaboration avec les doctorants que j'ai co-encadrés ou que j'encadre en ce moment (Nadir Achouri, Susi Saleh, Eleftherios Kolonis, Cristiano Lazzari, Trong-Trinh Dang, Claudia Rusu) et avec les nombreux stagiaires qui se sont succédés au laboratoire TIMA. Cette partie est structurée en plusieurs chapitres : Dans le chapitre introductif, je présente les défis techniques et technologiques actuels induits par l'avancement technologique de ces dernières années pour les systèmes embarqués complexes. En effet les nouvelles technologies en silicium présentent une augmentation sans précédent du nombre et des types de défauts permanents et de phénomènes transitoires qui requièrent la mise en place d'une approche globale de prédiction du taux de défaillances lors des premières étapes de conception. Cette évaluation doit être

accompagnée par la mise en place de techniques de robustesse ou de tolérance aux fautes à faible coût d'implémentation.

Le chapitre 2 présente les travaux de recherche concernant les techniques de tolérance aux fautes permanentes et transitoires destinées aux nouvelles technologies de silicium (ciblant les technologies en dessous des 32nm) ainsi qu'aux futures technologies de remplacement du silicium, les nanotechnologies. A ce jour, les analyses ITRS¹ des nanotechnologies prévoient la fabrication de ces technologies avec une très grande densité de défauts, de plusieurs ordres de grandeurs plus élevée que les technologies de silicium d'aujourd'hui.

Le chapitre 3 présente l'approche de prédiction du taux de défaillances des systèmes intégrés complexes. Des méthodologies de simulation de fautes concernant tous les niveaux d'abstraction sont présentées, tant pour les circuits numériques que pour les circuits analogiques, ainsi que la mise en place d'outils de simulation automatique.

Dans le chapitre 4, je présente des activités de recherche beaucoup plus récentes, articulées autour de la modélisation et de la simulation des structures simples et complexes à base de nanotubes de carbone en vue d'une analyse prédictive de fonctionnement sans défaillances. Ensuite les systèmes complexes et les outils de CAO pour les Nanotechnologies sont présentés. Ce thème de recherche concerne l'étude théorique, la simulation et, à plus long terme, la réalisation par des procédés nano-technologiques de systèmes exhibant une dynamique complexe, dont la richesse de comportement est le résultat des interactions d'un nombre très élevé d'éléments relativement simples. Ce chapitre conclut la première partie du mémoire, en indiquant des perspectives possibles pour mes activités de recherche.

La deuxième partie du mémoire décrit sous la forme d'un CV étendu mes activités de recherche et d'enseignement ainsi que mes responsabilités administratives et collectives au sein de l'Institut National Polytechnique de Grenoble et à l'Ecole Nationale Supérieure d'Electronique et RadioElectricité. Cette partie inclut un recueil de mes principales publications scientifiques de ces dernières années.

¹ ITRS - International Technology Roadmap for Semiconductors

1. Chapitre 1 Introduction générale

1.1. *Vers des systèmes intégrés ultimes à base de CMOS*

Le marché des télécommunications, du multimédia, de l'automobile, de l'avionique et d'autres applications sécurisées continue à croître à un rythme soutenu avec l'apparition d'applications diverses et complexes qui réclament une puissance de calcul de plus en plus importante tout en ayant un niveau de fiabilité et de sécurité de plus en plus élevé [1].

Au cœur de ces applications, se trouvent aujourd'hui des systèmes embarqués sur silicium organisés en plateformes de calcul à faible consommation (ceci étant une contrainte primordiale dans les nouvelles technologies), dont la capacité de calcul en termes de nombre d'opérations par seconde, double approximativement à chaque nouvelle génération technologique, suivant en cela la « loi de Moore ». Ils utilisent des architectures distribuées comportant plusieurs processeurs exécutant des tâches complexes (par exemple de traitement de signal), des centaines de mémoires de tailles différentes, des ASICs très rapides exécutant des fonctions spécifiques et d'autres composants exotiques [2]. Face aux coûts de développement extrêmement élevé, aux contraintes de consommation et de performance très poussées, au manque de souplesse quant à la programmation de nouveaux algorithmes et aux étapes de vérification très fastidieuses, les architectures intégrées reconfigurables s'imposent comme un nouveau concept architectural capable de répondre à ces défis. Il est prévu qu'à partir de la technologie 45nm les architectures matérielles ressembleront de plus en plus aux solutions de type réseaux programmables, étant composées d'un ensemble de processeurs et de mémoires identiques reliés par des réseaux de communication programmables [3][4] (voir figure 1) ; ceci afin de respecter les contraintes des cycles de développement et fabrication de plus en plus courts tout en apportant une certaine réduction du « time to market », ainsi que diverses contraintes système (consommation, flexibilité d'applications, puissance de calcul, etc...).

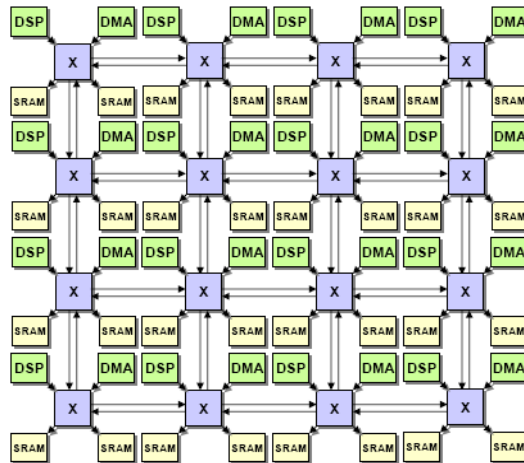


Figure 1. Architecture d'un Network on Chip NOC (Courtesy Arteris)

En outre, toutes ces applications doivent faire face aux défis sans précédent de la conception microélectronique bas niveau, entre autres les dispersions technologiques ainsi que les phénomènes parasites multiples.

1.2. Les défis de la conception intégrée en technologies CMOS ultimes

L'évolution des technologies CMOS en dessous des 90 nm, la forte diminution des tensions d'alimentation et l'augmentation de la fréquence de fonctionnement apportent de nombreux défis aux concepteurs micro électroniciens. Parmi les plus importants nous trouvons :

a) l'augmentation de la puissance consommée due ces dernières années aussi à la consommation statique (voir figure 2),

b) la diminution de la fiabilité et du rendement de production provoqués par la variabilité des paramètres des procédés de fabrication et par l'augmentation du nombre de phénomènes parasites [6].

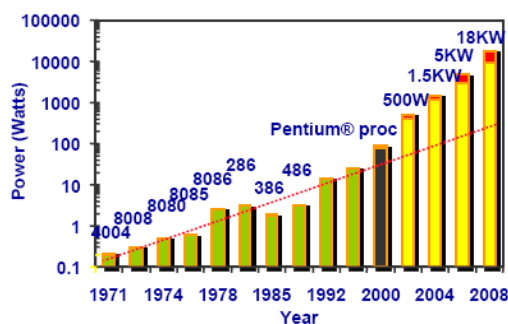
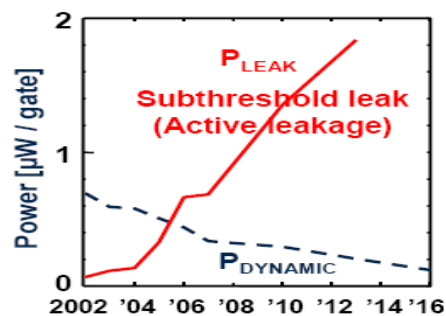


Figure 2. a) Augmentation de la puissance consommée pour des microprocesseurs [5]



b) Puissance statique vs puissance dynamique.

Malgré l'existence de solutions ponctuelles concernant la maîtrise de la puissance consommée et la gestion de la variabilité, les technologies proches de 32nm apporteront une rupture dans le style de conception connu, notamment à cause de la nature des composants de base qui change profondément, mais aussi à cause des multiples phénomènes parasites ignorés auparavant et qui se rajoutent et se corrélient avec les défis classiques.

Si en technologie 45nm, il est encore possible de concevoir des ASICs à partir des bibliothèques de cellules standards pré caractérisées, en utilisant des flots de conception « classiques » il est certain qu'au delà de cette technologie, ces phénomènes nouveaux et corrélés deviendront bloquants, rendant obsolètes certaines de ces méthodes. Les techniques de conception statistiques adressant tous les niveaux d'abstraction commencent à faire leur apparition mais il semblerait qu'au-delà de la technologie 32 nm elles seront insuffisantes, et produiront des pertes en performances inacceptables.

Outre la variabilité des procédés, les circuits intégrés complexes sont de nos jours soumis à des phénomènes parasites pouvant induire des erreurs logiques et de timing, conduisant à des erreurs de fonctionnement inacceptables.

La figure 3 présente le panorama de ces phénomènes transitoires (bruit sur les lignes d'alimentation, nommé IR drop, Ground bounce et Ldi/dt, le bruit de substrat, les crosstalks et les couplages de toutes sortes, et les impacts des particules énergétiques).

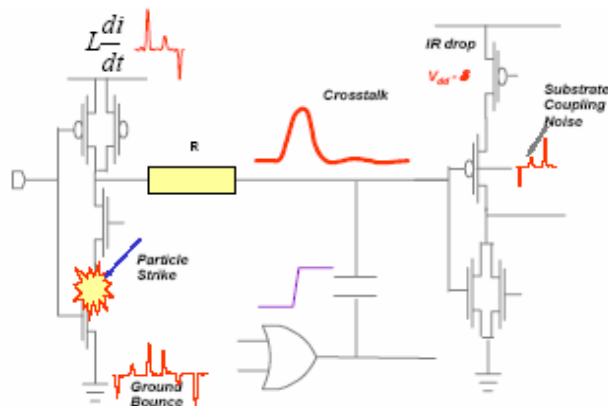


Figure 3. Panorama de phénomènes transitoires autres que les variations du procédé.

Dans la suite du document est donnée une brève présentation de ces phénomènes.

1.2.1. Couplages (crosstalks)

Les règles de conception du « layout » devenant de plus en plus complexes et la densité d'intégration de plus en plus élevée, les performances d'un élément de design dépendent des éléments voisins, et sont dans la plupart des cas influencées par le couplage capacitif et inductif entre les éléments et les interconnexions proches (phénomène connu sous le nom de « crosstalk »). Ces couplages affectent généralement le timing d'un circuit, et peuvent provoquer des erreurs de timing pendant le fonctionnement du circuit.

La figure 4 montre les fluctuations de tension dans le cas d'un fil victime du crosstalks [7].

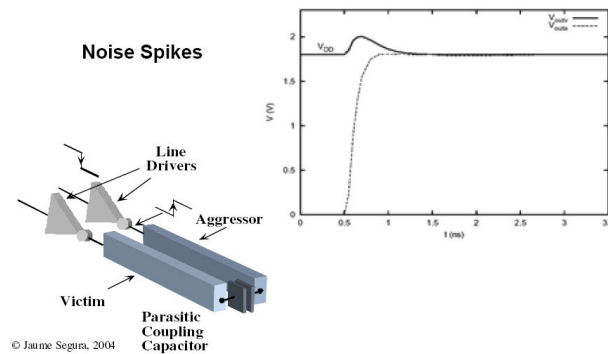


Figure 4. Phénomène du crosstalk

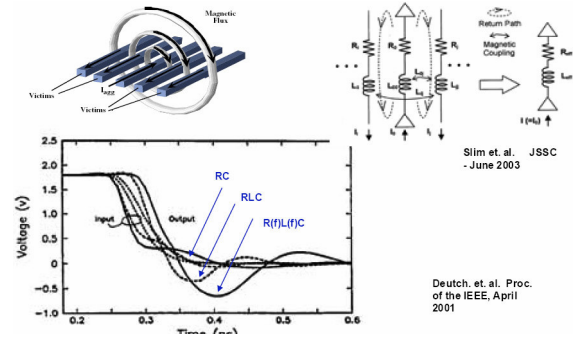


Figure 5 Influence du modèle RLC sur la tension du fil victime

Les modèles actuels sont dans la plus part de temps simplistes et ne prennent pas en compte les variations de la capacité et de l'inductance avec la fréquence de fonctionnement (voir figure 5), ce qui conduit à une mauvaise estimation de ce phénomène et à une correction inadéquate lors des étapes de placement-routage. La mise en œuvre de structures de layout régulières bien maîtrisées et caractérisées pourrait résoudre une partie de ces problèmes, mais globalement les crosstalks resteront une source majeure de bruit parasite dans un circuit complexe.

1.2.2. Bruit sur les rails d'alimentation

La chute de tension sur les lignes d'alimentation (« voltage drop » ou ΔV_{DD}) et son équivalent sur la masse nommé aussi « ground bounce » est représenté par des chutes ou des pics de tension pouvant aller jusqu'au 30-40% de la valeur nominale de l'alimentation. Ils sont généralement induits par une commutation simultanée de plusieurs cellules logiques et/ou transistors (voir figure 6). Il est prévu que la valeur de cette perturbation augmente de 15% à chaque nouvelle technologie. [8]

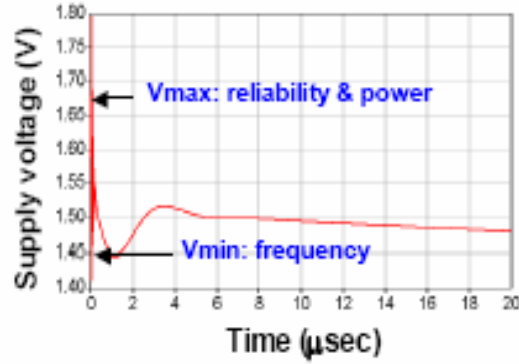


Figure 6. Phénomène du ΔV_{DD}

Il est difficile, voire impossible, d'estimer correctement cette chute de tension par simulation ou par l'analyse temporelle, d'autant plus que la vraie activité du circuit n'est connue qu'à la fin du cycle de conception, en présence d'une application. Les conséquences évidentes de ce phénomène sont une augmentation du temps de propagation des portes. A ce jour on considère que 10% de variation de V_{DD} peut induire 10-20% de pertes de performances en ce qui concerne le temps de propagation des portes [8].

Le couplage inductif est aussi très significatif (bruit Ldi/dt) principalement à cause de l'augmentation significative de la vitesse de fonctionnement (figure 7).

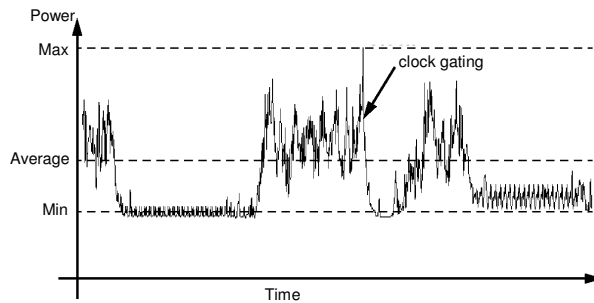


Figure 7. Bruit Ldi/dt

Ce problème était complètement ignoré auparavant lors des étapes d'analyses du bruit. Les technologies de Cuivre (Cu) génèrent une augmentation des inductances des fils métalliques, ainsi le bruit Ldi/dt sera un autre problème majeur pour les technologies CMOS ultimes, car les conséquences sur le fonctionnement global du système, une fois de plus, conduiront à une augmentation des délais des portes et du timing du circuit en général

La figure 8 présente les prédictions ITRS [9] des phénomènes ΔV_{DD} et Ldi/dt

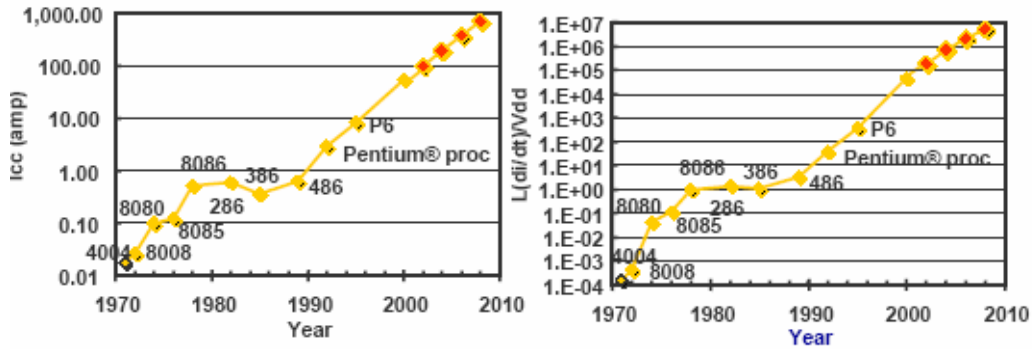


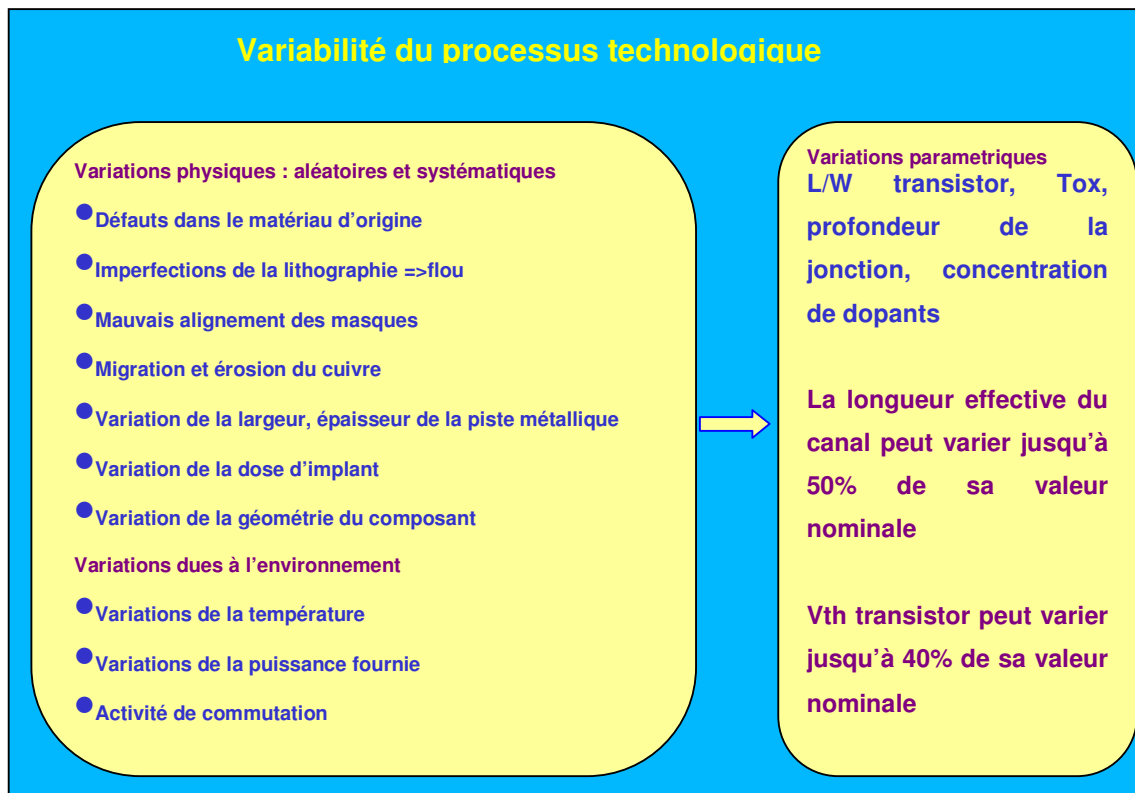
Figure 8 Prédiction du ΔV_{DD} et Ldi/dt (réprises par S. Borkar, DAC 2003 [8])

1.2.3. Variation du processus technologique

Les phénomènes de variabilité des paramètres des transistors au sein de la puce deviennent prépondérants : d'un point à l'autre d'un même circuit, les caractéristiques des transistors varient dans des proportions considérables, ce qui conduit entre autres à une variation des tensions de seuil des transistors d'un même circuit intégré, et par conséquent à la variation du temps de propagation des différents chemins. Les courants ION et IOFF varient également, conduisant à l'augmentation de la puissance consommée (surtout statique). Les temps de propagation des interconnexions varient également, car les interconnexions sont affectées elles aussi par la variabilité, principalement à cause du mauvais ponçage, qui modifie les propriétés physiques des interconnexions (par exemple, en augmentant localement la résistance).

Aujourd'hui il devient extrêmement important de considérer toutes les variations possibles, au sein d'un même circuit (« intra die variations ») mais également les variations d'un circuit à l'autre sur la même plaquette (« inter die variations »), ou d'un lot de plaquettes à l'autre, ou bien d'une ligne de fabrication à l'autre dans le cas de plusieurs lignes de fabrication alignées. Ces variations atteignent des valeurs très élevées dans les technologies 32nm.[11]

Plusieurs sources de variations ont été identifiées. Elles sont présentées dans la figure suivante (figure 9) :



Figures 9 Sources possibles de PV et les conséquences sur les transistors

Les variations du processus de fabrication peuvent être dues à plusieurs raisons, nous pouvons mentionner la gravure, la lithographie et la CMP¹ comme étapes technologiques pouvant induire des variations, mais la dose d'implant peut également fluctuer, ainsi que les éléments dus à l'environnement (température, V_{DD} , etc).

Pour la technologie 130 nm [12] la variation du processus de fabrication induit une variation de la fréquence allant jusqu'à 30% de la fréquence nominale, pour une distribution de courants de fuite jusqu'à 10 fois le courant de fuite nominal. Ceci aura pour conséquence une diminution importante du rendement de fabrication, car les fabricants vont écarter les composants de haute et basse fréquence ayant des courants de fuite importants.

¹ CMP - Chemical Metal Polishing

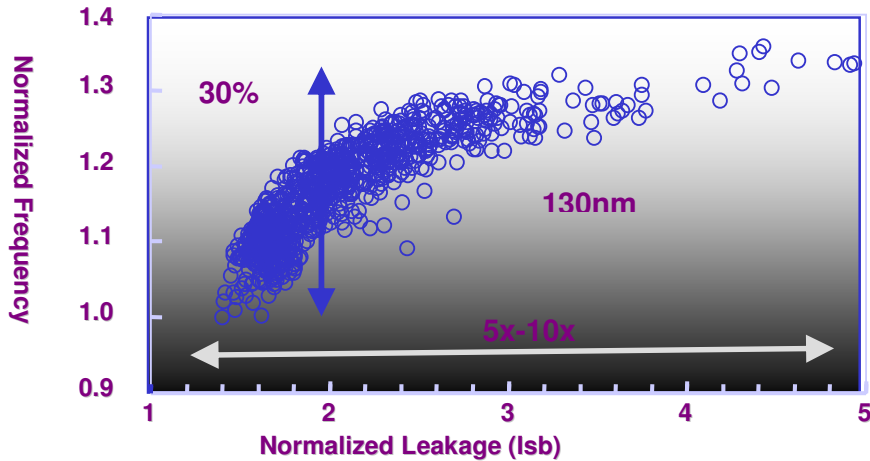


Figure 10. L'impact du PV sur la fréquence et sur le courant de fuite ([12])

Les fondeurs fournissent généralement des valeurs différentes pour le fonctionnement des transistors NMOS et PMOS. Il s'agit des corners, fast/fast, slow/slow, fast/slow, slow/fast, et typical/typical (figure 11).

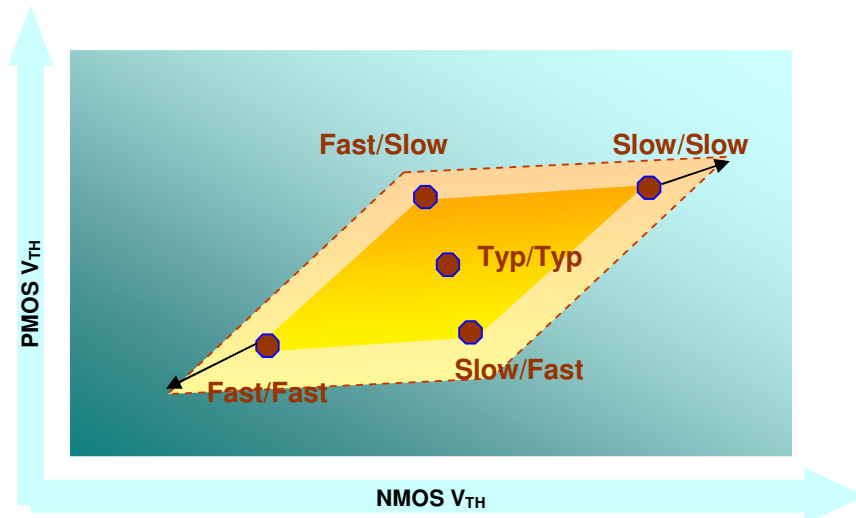


Figure 11. Types de caractérisations des composants

En principe, les composants conçus et fabriqués en « corner fast/fast » ont une fréquence de fonctionnement maximale, ayant donc les meilleures performances, mais ils consomment le plus, alors que les mêmes composants conçus en « corner slow/slow » consomment peu, mais leur fréquence maximale est aussi plus faible. Au delà de 65nm la variation des délais de chemins de propagation augmente considérablement, en augmentant ainsi « la distance » de fonctionnement entre le corner fast/fast et slow/slow (figure 11). Ce qui résulte en une distribution encore plus large des fréquences de fonctionnement et de puissance consommée. Par conséquent beaucoup de circuits ne respecteront pas les spécifications de

fréquence et de puissance ce qui aura donc un impact considérable sur le rendement de fabrication.

En technologie 32 nm il n'est plus possible de caractériser le comportement d'un circuit par des simulations « pire cas / meilleur cas » comme c'était le cas encore en 45nm. Les rendements technologiques deviendront nuls si des techniques spécifiques ne sont pas appliquées: Les approximations utilisées pour réaliser les dessins de masques à lithographie optique avec des géométries proches de la longueur d'onde de la lumière, combinées avec les incertitudes pendant la fabrication du composant feront que des nombreux transistors sur la puce ne sont pas fonctionnels du tout.

Des techniques de layout régulier s'imposent comme méthodologie de conception, ceci pas seulement pour des raisons de réduction du PV, crosstalks mais également pour répartir uniformément les zones de forte densité de puissance (figure 12).

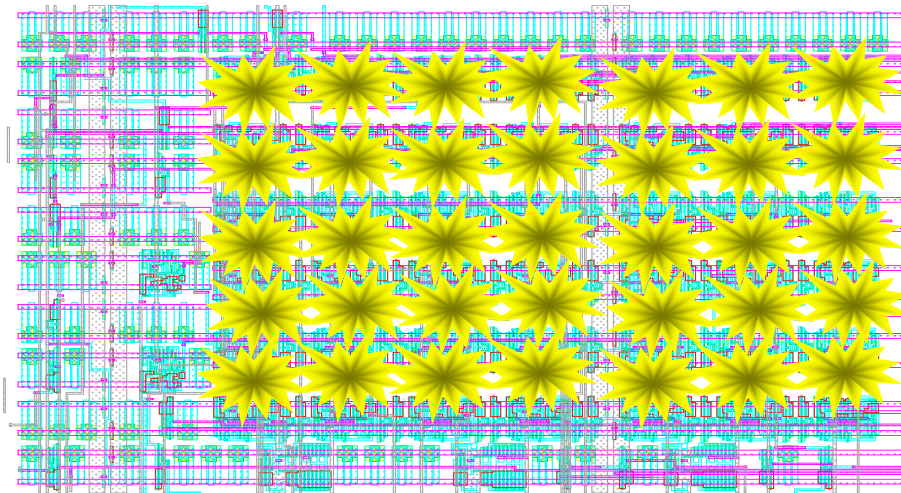


Figure 12. Densité de puissance sur un layout régulier (source P Gelsinger, Intel [12])

1.2.4. Vieillessement des transistors induit par NBTI

Le vieillissement des transistors par l'effet de type NBTI (Negative Bias Temperature Instability) est un phénomène qui a pour conséquence une diminution progressive du courant direct des transistors, particulièrement aux PMOS, de la tension de seuil des transistors. Les délais de commutation des portes augmentent, conduisant donc à une augmentation du temps de propagation des chemins. Ce phénomène est bien connu depuis longtemps par les ingénieurs spécialistes du processus de fabrication. Les nouvelles technologies apportent une recrudescence de ce phénomène, et aujourd'hui pour les technologies au delà de 90nm on estime que chaque dizaine d'années d'opération se traduit par 15-25% d'augmentation du temps de propagation des portes [6]. Ce phénomène est à

son tour générateur des fautes de délai en fonctionnement normal. Des mesures de détection et correction de ce problème commencent à voir le jour [16].

1.2.5. Les techniques de réduction de la puissance

Afin de réduire la puissance consommée, dynamique ou statique, plusieurs techniques ont vu le jour, et ceci depuis quelques années déjà. Les plus connues et les plus employées sont les techniques de type « Clock gating » pour la réduction de la puissance dynamique et l'utilisation du « sleep transistor » pour la réduction de la puissance statique. Les deux techniques donnent des bons résultats permettant une diminution significative de la puissance consommée.

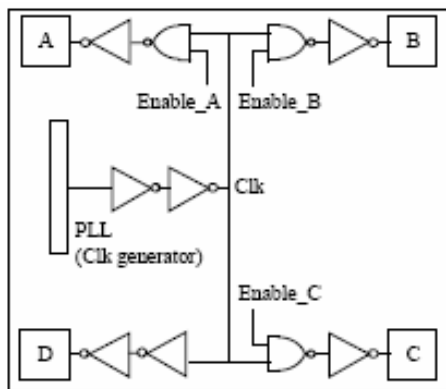


Figure 13. Technique « Clock Gating »

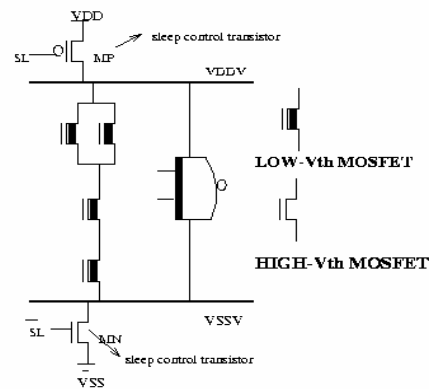


Figure 14. Technique « Sleep Transistor »

Malheureusement les deux techniques induisent à leur tour des phénomènes parasites dans le circuit. La technique « clock gating » provoque un bruit supplémentaire sur les rails d'alimentation. La technique « sleep transistor », qui consiste en la coupure ou la réduction de l'alimentation d'une partie d'un circuit à un V_{DD} min (surtout s'il n'est pas en activité, ou bien s'il est en mode de fonctionnement de faible vitesse) entraîne un ralentissement des cellules y compris en mode de fonctionnement normal induisant une vulnérabilité supplémentaire aux fautes de délai.

1.2.6. Effets des particules ionisantes et des neutrons atmosphériques

Les technologies nanométriques avancées sont susceptibles de subir une augmentation importante du taux d'erreurs soft de type "SEU" - inversions de bits dans les points mémoires d'un circuit occasionnées suite à l'ionisation directe ou indirecte résultant de l'impact d'une particule énergétique (telles que les particules alpha et les neutrons atmosphériques) avec les zones sensibles du circuit. par les particules ionisantes ou

« SET » (impulsions transitoires induites par les particules ionisantes et les neutrons atmosphériques).

Le phénomène de fautes transitoires (SET et SEUs) produites par les particules ionisantes représentait un problème pour les circuits intégrés utilisés dans les environnements sévères, tels que le spatial ou les réacteurs nucléaires. De plus, seuls les circuits de mémorisation étaient supposés sensibles. Malheureusement, la miniaturisation reporte les problèmes des erreurs soft sur toutes les parties d'un circuit intégré (mémoires, latches, portes logiques) et ceci même en environnement terrestre naturel. La cause est la réduction du niveau de l'alimentation V_{DD} , et des dimensions des dispositifs, qui se traduisent en une diminution des capacités des nœuds d'un circuit. Ainsi, la charge stockée sur un nœud ($Q=C \cdot V_{DD}$) étant doublement affectée, l'inversion du niveau logique nécessitera une charge collectée sensiblement plus faible. Une augmentation de la sensibilité aux SEU est observée dans les circuits de mémorisation. Cependant, les parties combinatoires considérées dans le passé pratiquement insensibles sont maintenant aussi affectées. Outre la réduction de la charge stockée dans les nœuds d'un circuit logique, il existe deux autres facteurs qui affectent la sensibilité des parties logiques. A cause de la miniaturisation, la durée de commutation d'une porte logique T_I devient inférieure à la durée de l'impulsion transitoire D_{TR} induite par l'impact des particules (pouvant aller jusqu'à quelques centaines de picosecondes). La conséquence est que ces impulsions ne sont plus filtrées par les portes logiques et vont se propager, sans aucune atténuation dans les réseaux de portes logiques, jusqu'aux sorties du circuit où elles peuvent être capturées par les bascules de sortie. Une impulsion est capturée par les bascules, si son instant d'arrivée à son entrée coïncide avec le front actif de l'horloge. Alors, la probabilité de capturer une impulsion d'une durée donnée augmente proportionnellement à la fréquence d'horloge.

L'étude publiée par Tezzaron [1] met en évidence que les mémoires sont très sensibles à ces phénomènes. En faisant une moyenne du taux de défaillances dues à l'impact des particules sur un grand nombre des résultats publiés, il en résulte que pour les mémoires « modernes », le taux de SER¹ (Single Event Rate ou taux d'erreurs logiques) par unité de temps) à Mbit pourrait être considéré entre 1000 et 5000 FIT² (Failures in Time, 1 FIT équivaut à une défaillance tous les 10⁹ h par composant). La même étude démontre une augmentation du nombre d'erreurs de façon exponentielle avec la réduction de V_{DD} . Par ailleurs, cette réduction a une influence bien plus importante que la miniaturisation géométrique, car elle contribue à hauteur de 75% à l'augmentation de la sensibilité aux SEUs pour la même surface de circuit.

¹ SER – Single Error Rate

² FIT – Failure in Time

Pour conclure sur cette partie, les phénomènes évoqués plus haut peuvent se manifester comme des fautes transitoires ou intermittentes conduisant à leur tour à des erreurs logiques ou de timing si leur propagation conduit vers une bascule ou s'ils apparaissent sur le chemin critique ou sous critique d'un circuit.

L'augmentation de la probabilité des fautes transitoires (quelque soit leur cause, externe ou interne) conduisant à des erreurs fonctionnelles et de délai, rend nécessaire leur détection et/ou leur tolérance dans un nombre croissant de circuits intégrés. Ces solutions existent déjà depuis fort longtemps dans la majorité des applications critiques (applications spatiales et systèmes à haute disponibilité, ...). Aujourd'hui, avec le grand intérêt pour les applications communicantes et à forte sécurité, ce besoin touche aussi des systèmes n'ayant pas traditionnellement mis en oeuvre ce type de techniques. Les solutions architecturales actuelles basées sur des plateformes reconfigurables seront considérablement affectées par les erreurs de délais et plus généralement par le bruit interne et externe, rendant la communication si peu fiable, semblable à celles du début de l'ère Internet. Pour maintenir les niveaux de fiabilité, sécurité et disponibilité exigés par les utilisateurs, on peut s'attendre, dans les années qui viennent, à un déploiement massif des nouvelles techniques de tolérance aux fautes à faible coût dans tous les domaines de l'électronique mobile : ordinateurs portables, téléphones portables, agenda électronique, etc...

De telles applications étant cependant soumises à nombreuses contraintes de conception, des compromis devront être établis entre l'amélioration de fiabilité et l'éventuelle dégradation des autres paramètres (coût, consommation, fréquence de fonctionnement, ...).

Dans les années 1997-2001, dans une série des tables rondes organisées dans des conférences internationales IEEE (ITC, DATE, VTS, FTCS28), publiées également dans des revues scientifiques (deux tables rondes dans IEEE Design & Test of Computers) et dans des articles présentés dans des conférences IEEE du domaine (DATE, VTS), les chercheurs du groupe de recherche RIS du laboratoire TIMA et moi-même (à l'époque en début de thèse de doctorat), étions les premiers à prédire que les techniques de tolérance aux fautes à faible coût devraient être adoptées dans les années à venir dans la conception des circuits destinés à des applications terrestres commerciales. La raison évoquée était le besoin de l'amélioration de la fiabilité des composants microélectroniques, considérablement affectée par le rapprochement des limites ultimes des technologies des circuits intégrés CMOS ainsi que l'amélioration des rendements de fabrication. Suite à ces prédictions, nous avons été parmi les premiers à initier la recherche de telles solutions. Les travaux que j'ai entrepris dans le cadre de ma thèse de doctorat concernent le développement des techniques de tolérance aux fautes au niveau du bloc fonctionnel,

nécessitant un faible coût matériel et une faible dégradation de la vitesse. Ces techniques ont été ensuite industrialisées lors de la création de la société IROc Technologies, une start-up du laboratoire TIMA, mais elles ont aussi été reprises et adaptées/optimisées par deux de grands acteurs de l'industrie des semi-conducteurs, les compagnies Intel [14] et ARM [13], ainsi que par des industriels du domaine aéronautique et spatial [15].

1.2.7 Défauts permanents

Dans la course vers la miniaturisation et vers la réduction de la puissance consommée, les nouvelles technologies s'orientent vers l'utilisation des nouvelles structures de transistors (transistors à grille multiple, ou à grille métallique, etc...), des procédés de fabrication changés ou améliorés (utilisation du SOI et du silicium étiré), ou bien l'introduction de nouveaux matériaux d'isolation (diélectrique HiK). L'utilisation de ces procédés à grande échelle passe à nouveau par une phase d'augmentation du nombre de défauts permanents. Ceci, couplé à la complexité des circuits, nous amène à la réalité suivante : nous nous trouvons aujourd'hui devant l'incapacité de produire des programmes de test courts assurant une couverture satisfaisante pour tous les types de défauts engendrés. De plus, l'identification de ces défauts nécessite des temps de calcul ATPG ainsi que les temps de test effectifs irréalistes.

Des approches de tolérance aux défauts de fabrication en ligne seront envisagés, ayant à la base des mécanismes d'auto-détection et auto-reconfiguration, à faible coût d'implémentation. Dans les années 2000-2004 j'ai été impliquée dans le projet européen IST FRACTURE qui a eu pour but de proposer des techniques de réparation intégrée pour des technologies à grande densité de défauts, notamment les technologies du silicium ultimes et les nanotechnologies, que je présente par la suite. Plusieurs articles de ont été publiés dans des conférences et journaux, témoignant mon implication dans ce domaine.

1.3. Défis des Nanotechnologies

La poursuite de la miniaturisation dans les technologies microélectroniques, facteur principal de la « révolution » informatique, atteindra d'après les prédictions ses limites ultimes aux alentours de l'an 2015. Les raisons sont aussi bien techniques (courant de fuite, intégrité du signal, échauffement du à la dissipation de puissance, capacités de stockage, ...), qu'économiques (coût des chaînes de fabrication, estimées à plusieurs dizaines de milliards de dollars pour l'an 2010). Même en atteignant ces limites de miniaturisation (aux alentours de 50 nm de largeur de canal), l'efficacité énergétique du calcul restera de 9 ordres de grandeur inférieur à la limite thermodynamique (3×10^{18} additions par Joule en température

ambiante). Le rapprochement à un tel niveau d'efficacité permettra une augmentation extraordinaire de la puissance de calcul.

Des efforts considérables sont investis au sein de grands groupes de recherche académiques et industriels du monde entier afin de mettre en place et développer les technologies qui remplaceront les technologies à base des transistors MOS. Des alternatives à faible coût pointent à l'horizon avec la sophistication rapide des procédés de synthèse chimique des composants électroniques et de leurs interconnexions, afin de créer des systèmes très complexes et à faible coût. Même si la plupart des nouvelles solutions à base de nanotechnologies (e.g, composants à un électron [22][23], automates cellulaires quantiques, nanotubes de carbone [24], composants moléculaires, semiconductor nanowires [25], chemically assembled electronic nanocomputers (CAEN) [26][27]) sont encore dans le domaine de la recherche, des améliorations significatives se sont produites quant à l'assemblage de ces composants en portes logiques et matrices de mémoires [28] afin de produire des systèmes de calcul beaucoup plus puissants que ce que nous sommes capables de produire en CMOS, ayant une puissance consommée beaucoup plus faible, et une vitesse de fonctionnement plus élevée. Il est prévu que ces systèmes vont intégrer des trillions de composants dans des réseaux homogènes, réguliers, ayant une structure de réseau programmable [28].

Par contre, pour une telle densité d'intégration, les systèmes de calcul doivent pouvoir fonctionner en dépit des instabilités des composants infiniment petits et des imperfections du processus de fabrication. Les fautes permanentes qui peuvent survenir sont intimement liées au processus de fabrication d'un certain composant. Des processus de fabrications différents vont générer des densités de défauts différentes. Par exemple, si les composants ainsi que leurs interconnexions sont fabriqués par la synthèse chimique, la densité de défauts pourrait être très importante. D'autre part, les fautes transitoires provoquées par l'environnement physique et par les conditions d'opération de ces composants ne sont pas nécessairement liées au processus de fabrication mais pourront être à leur tour en nombre très important. Les architectures nanoélectroniques du futur doivent être capables de tolérer un nombre extrêmement élevé de défauts de fabrication et de fautes transitoires. Aujourd'hui il n'y a pas de composants nanoélectroniques qui s'imposent et qui pourraient être adoptés sans hésitation afin de remplacer les technologies de silicium et de continuer la production de systèmes de calcul complexes, et par conséquent nous ne connaissons pas non plus toutes les causes des fautes transitoires et permanentes. Même si des recherches récentes ont montré la faisabilité des structures et circuits simples à base de

nanotechnologies, beaucoup de débats existent de nos jours sur l'adoption des meilleures nanotechnologies pour les nano processeurs du futur.

Pour la plupart de solutions proposées dans la littérature, la densité de défauts prédite pourrait être aussi élevée que 10^{-2} défaillances/Mbit ce qui signifie qu'à une échelle de matrice régulière d'éléments de type mémorisation, elle pourrait être aussi élevée que quelques cellules de mémoire défaillantes pour chaque 100 cellules de mémoire.

La conception d'architectures tolérant les défauts pour les nanotechnologies est par conséquent inévitable. De la même façon des outils de conception et de validation pour des structures à base de ces nanotechnologies doivent être mis en place afin de permettre la conception de systèmes complexes sans ruptures au niveau des méthodologies de conception.

En plus de cette évidence d'autres questions apparaissent :

- Comment adapter à ces nouvelles technologies les méthodes de conception et les outils d'aujourd'hui?
- Comment réaliser des systèmes complexes fiables à partir des composants avec un comportement fortement probabiliste ?
- Quelle est la meilleure architecture pour organiser ces composants? Faudrait-il utiliser des architectures synchrones ou asynchrones, avec des mémoires et de la logique combinatoire, ou seulement avec des mémoires, ou bien seulement avec des matrices de primitives... ? Les modèles d'application ainsi que les outils de synthèse devront être revus ?

Dans ce contexte, nous avons débuté en 2004 (grâce à la participation au projet ACI Nanosys) une étude de faisabilité d'architectures complexes à base de CNTFET, en prenant en compte la très faible fiabilité de ces dispositifs. Nous avons commencé par une étude de fonctionnalité de transistors CNTFET, en prenant en compte des modèles compatibles SPICE, créés par des centres de recherche partenaires du projet à l'aide de langages de modélisation HDL, ensuite nous nous sommes concentrés sur l'étude du comportement des portes logiques à base de ces transistors en analysant leurs caractéristiques en présence de fautes permanentes et transitoires, et enfin nous nous sommes concentrés sur des techniques de tolérance aux fautes matérielles à faible coût pour ces portes. Dans le futur proche, nos recherches s'orienteront vers la proposition d'outils d'analyse de fiabilité basés sur l'injection de fautes, et d'outils de conception de systèmes complexes ciblant des structures régulières.

Chapitre 2 Techniques de tolérance aux fautes dans les CMOS ultimes et nanoélectronique

Face à l'augmentation importante du nombre de fautes transitoires et permanentes pouvant conduire à des erreurs de timing et d'application tel qu'il a été décrit au premier chapitre, nous nous attachons à développer des techniques de tolérance aux fautes. Ce travail est divisé en plusieurs parties. Tout d'abord nous allons présenter les solutions de tolérance aux fautes visant les fautes transitoires, suivi par les techniques d'auto-détection et auto-réparation ciblant les défauts de fabrication, capables de couvrir des fautes multiples, quelles que soient leur origines, plutôt destinées aux futures nanotechnologies à densité de défauts plus élevé.

2.1. Techniques de tolérance aux fautes transitoires et de délai dans les CMOS ultimes

Les techniques traditionnelles de tolérance aux fautes destinées aux applications critiques utilisées dès le début de l'ère informatique ont pour base la triplication, appelée aussi TMR (Triple Modular Redundancy). Elles sont très coûteuses en surface et en puissance consommée et généralement inacceptables en tant que telles pour les applications à faible valeur ajoutée, tels que celles utilisées dans les systèmes grand public. D'autres techniques classiques sont implémentées autour des mémoires et consistent généralement en des codes ECC (Error Correcting Codes) eux aussi assez coûteux.

Des solutions à moindre coût doivent donc être envisagées, comme par exemple les techniques basées sur le durcissement local d'une zone sensible (par « sizing »), ou au niveau micro architecture en utilisant le filtrage des fautes transitoires, ou les codes détecteurs/correcteurs d'erreurs à faible coût, ou bien des techniques multi-niveaux combinant la détection d'erreurs avec le recouvrement souvent implémenté à un autre niveau d'abstraction (micro architecture ou même logiciel), ou mieux encore au niveau architecture en utilisant une reconfiguration qui remplace des parties défailtantes par des parties redondantes.

Depuis peu de temps, la plupart des applications de type microprocesseur contiennent des mécanismes de détection de fautes transitoires, implémentés en particulier dans les

mémoires externes, cache, ou le banc de registres. D'autres applications, surtout les plus critiques, vont vers un durcissement de certaines bascules faisant partie des composants effectuant des tâches critiques, ou de quasiment toutes les bascules et circuits combinatoires, en plus des mémoires. C'est le cas des composants ASIC mais aussi des éléments de type CLB des composants programmables de type FPGA.

Dans la suite du document, je présente les résultats les plus significatifs dans ce domaine concernant à la fois les techniques de tolérance aux fautes basées sur la correction immédiate de fautes transitoires ou sur une combinaison de détection et reprise pour les technologies nanométriques CMOS. Elles seront suivies par des techniques de réparation et de tolérance aux fautes plutôt adaptées aux technologies post-CMOS.

2.1.1. Techniques de tolérance aux fautes transitoires et de délai au niveau bloc fonctionnel

2.1.1.1. Tolérance aux fautes matérielles par l'utilisation du C-element

Nous avons tout d'abord étudié une technique de tolérance aux fautes dont le coût matériel est similaire au coût des techniques classiques de détection d'erreurs en proposant une approche capable de tolérer les fautes transitoires et les bit-flips affectant les bascules. Les mêmes techniques permettent de tolérer les fautes transitoires et de délai dans les circuits combinatoires se situant en amont et capturées par les bascules.

Cette approche est basée sur l'observation suivante :

Généralement, une technique de détection d'erreurs permet de distinguer les sorties correctes d'un circuit des sorties erronées. Etant donné que, pour les fautes transitoires ou délai, les sorties d'un circuit sont erronées pendant une période limitée de temps, tandis que pour le reste du temps elles prennent les valeurs correctes respectives, il suffirait de n'observer et n'utiliser que les sorties correctes du circuit, ce qui semblerait trivial. Pour mettre cette idée en pratique, nous avons placé aux sorties d'un circuit dupliqué des portes spécifiques (nommées CWSP¹) recevant des entrées dupliquées (voir figure 2.1).

¹ CWSP - Code Word State Preserving Element, connu en logique dynamique sous le nom de C-element

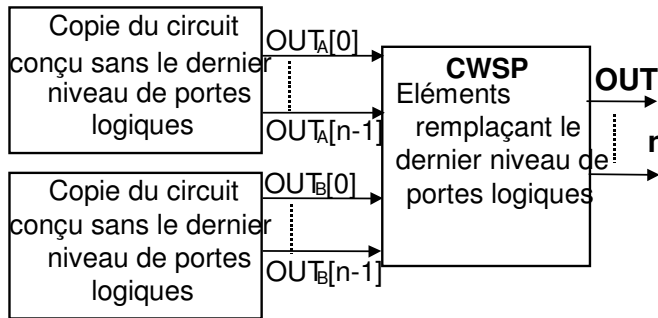


Figure 2.1. Circuit tolérant les perturbations basé sur la duplication

L'élément CWSP est en effet une porte dont le but est de produire une sortie en haute impédance si ses entrées ne sont pas identiques (figure 2.2 qui présente le cas d'une porte dynamique de type inverseur).

Ces portes peuvent être facilement obtenues en dupliquant les transistors d'une porte standard. Dans le cas d'un inverseur cette transformation donne la porte connue sous l'appellation de "C-element" (figure 2.2). Le tableau de vérité de cette porte est présenté dans le tableau 2.1.

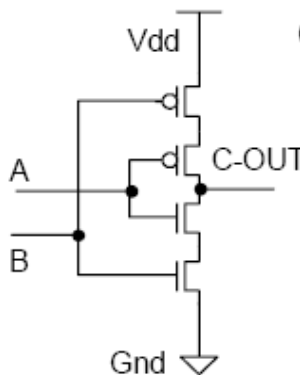


Figure 2.2. C-element en inverseur simple

A	B	C-OUT
0	0	1
1	1	0
0	1	Valeur précédente mémorisée
1	0	Valeur précédente mémorisée

Tableau 2.1 Tableau de vérité du C-élément

Le résultat est un circuit tolérant aux fautes, mais ayant un coût égal à la duplication au lieu de la triplification, dans le cas du TMR. Afin de réduire le coût matériel de cette technique, nous avons remplacé les signaux produits par deux blocs dupliqués par des signaux produits par le même bloc mais dé-corrélés dans le temps (voir figure 2.3.). La dé-corrélation temporelle étant obtenue en utilisant des éléments de délai, le coût matériel devient beaucoup plus faible que dans le cas de la duplication.

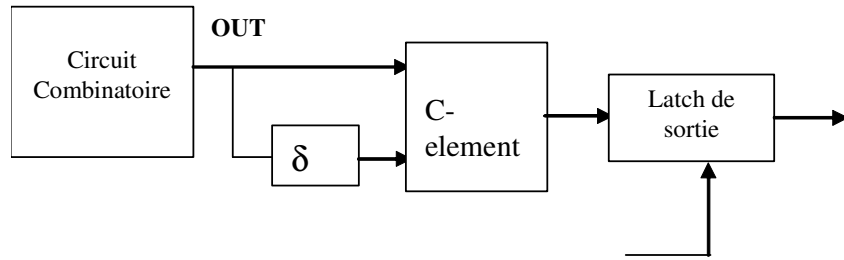


Figure 2.3. Tolérance aux fautes à l'aide du C element - réduction du coût d'implémentation

Cette réduction du coût matériel est obtenue au détriment d'une augmentation de la période d'échantillonnage de la sortie OUT ou quasiment de la période de l'horloge égale cette fois-ci à $2D_{TR}$. Nous avons noté avec D_{TR} la durée de l'impulsion transitoire qu'on se propose de tolérer, étant mesurée à un seuil fixé de $V_{DD}/2$. Selon les expérimentations que nous avons effectuées, il en résulte que cette réduction est modérée (au maximum 10%).

A titre d'exemple, dans le cas d'un multiplieur Booth Wallace 32 bits implémenté en technologie CMOS 0.35 μm , le coût en surface de cette technique est de 2.4 %, tandis que le ralentissement de la vitesse de fonctionnement est de 6.5 % (en considérant des fautes transitoires d'une durée de 450 picosecondes). Dans le cas d'un additionneur Brent et Kung 32bits, nous aurons pour la même technologie et la même impulsion transitoire un coût en surface de 21.2 % et un ralentissement de la vitesse de 19.4%.

Cette approche a été reprise en 2005 par Intel, voir figure 2.4 et 2.5 dans [14], en exploitant les bascules dupliquées déjà existantes dans les circuits (chaînes de bascules du type "scan-path" nécessaires pour le test de fabrication et le diagnostic), afin de protéger un certain nombre de bascules des processeurs Itanium de chez Intel contre les « erreurs soft ».

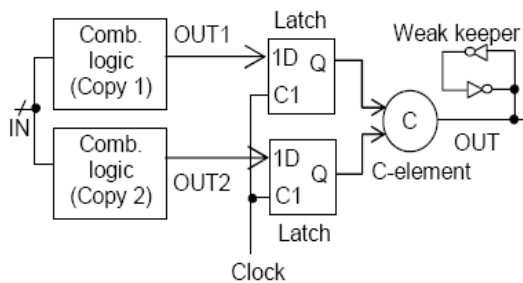


Figure 2.4 C element et la duplication du circuit

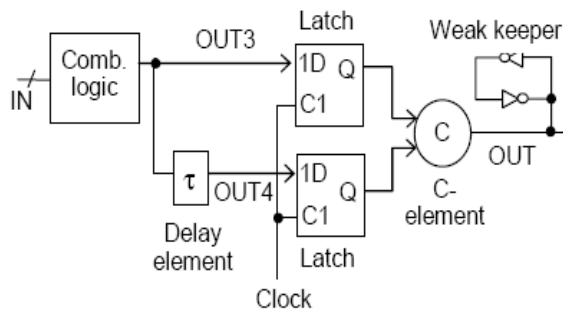


Figure 2.5 C element dans une implémentation à moindre coût

La même idée d'implémentation a été utilisée en avril 2007 [16] pour créer des circuits de détection et la tolérance en ligne de délais provoqués par le vieillissement de transistors à cause de l'effet NBTI.

Ces travaux sont présentés en détail dans mon manuscrit de thèse et ont été publiés dans les conférences : 1999 IEEE VLSI Test Symposium (VTS 1999), 1999 IEEE International On-Line Testing Workshop (IOLTW 1999), 2000 Symposium on Integrated Circuits and Systems Design (SBCCI 2000).

2.1.1.2. Tolérance aux fautes HW/SW par la redondance temporelle

Les modules incluant les chemins critiques du circuit ne peuvent pas supporter les pertes de performance induites par les techniques précédentes. Pour ces modules rapides, d'autres techniques doivent être envisagées, en se basant sur la redondance temporelle au niveau de la détection des erreurs produites à la fois par les fautes transitoires et par les fautes de timing.

L'approche utilisée exploite à nouveau la redondance temporelle en ciblant non seulement les fautes transitoires et les fautes de "timing" dans les circuits combinatoires, mais aussi les transitoires et les bit flips dans les bascules. La redondance temporelle est implémentée au niveau des bascules, comme le montre la figure 2.6.

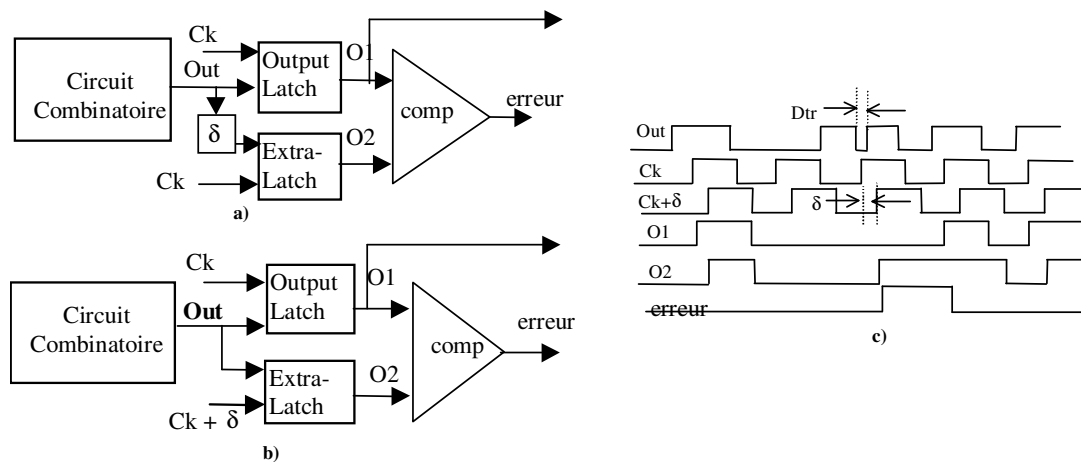


Figure 2.6. a), b) – Schéma de détection de fautes transitoires utilisant un latch supplémentaire et un comparateur ; 1c) Schéma de détection des fautes transitoires correspondant à l'implémentation b).

Les avantages de cette approche sont : un faible coût en surface, car elle ne comporte que'une duplication des bascules et un comparateur final, et un impact négligeable sur la

vitesse de fonctionnement, car la bascule dupliquée capture les sorties du circuit combinatoire après que les entrées de ce circuit sont changées mais avant que ce changement soit propagé jusqu'aux sorties de ce circuit. La bascule qui capture la sortie O est régie par une horloge dont la fréquence est la même que dans le cas d'un circuit sans protection. De cette façon, il n'y a pas besoin de diminuer la vitesse de fonctionnement.

Ces techniques nécessitent un faible surcoût matériel et n'entraînent aucune perte de vitesse. A titre d'exemple, dans le cas d'un multiplieur Booth Wallace 32 bits implémenté en technologie CMOS 0.35 micron, le coût matériel de cette technique est de 1.3 %, tandis que le ralentissement de la vitesse de fonctionnement est nul.

Il est à noter que ces techniques de détection HW pourraient être combinées avec des procédures de recouvrement afin de corriger les fautes transitoires ou de délai. Ces techniques de recouvrement peuvent être implémentées localement en HW pur ou bien en SW au niveau système (avec les tâches de validation qui s'imposent).

Ces travaux sont aussi décrits en détail dans mon manuscrit de thèse et ont été présentés dans les conférences : 1999 IEEE International On-Line Testing Workshop (IOLTW 1999), 2000 Symposium on Integrated Circuits and Systems Design (SBCCI 2000) et 2000 Design Automation and Test in Europe (DATE 2000), recevant le prix du meilleur papier dans la section test.

Ces techniques de détection de fautes ont été utilisées pour la création d'un processeur durci SPARC sur 32 bits Leon (CoolRisc) et ont fait l'objet d'un transfert technologique vers la société iRoC Technologies en 2001.

Cette même approche a été utilisée récemment par la société ARM [13] dans le développement de l'architecture RAZOR, capable de détecter et corriger les fautes temporelles. Les architectes d'ARM en collaboration avec l'université de Michigan ont entre autres démontré que cette architecture peut être exploitée pour réduire la consommation d'un circuit jusqu'à 44% par rapport à un circuit standard (figure 2.7). Cette réduction a été obtenue en diminuant la tension d'alimentation et en détectant et corrigeant les erreurs de "timing" dues à l'augmentation des délais du circuit induites par cette diminution. ARM fait actuellement une promotion très active de cette approche dans sa politique de communication concernant la fiabilité de ses futurs processeurs.

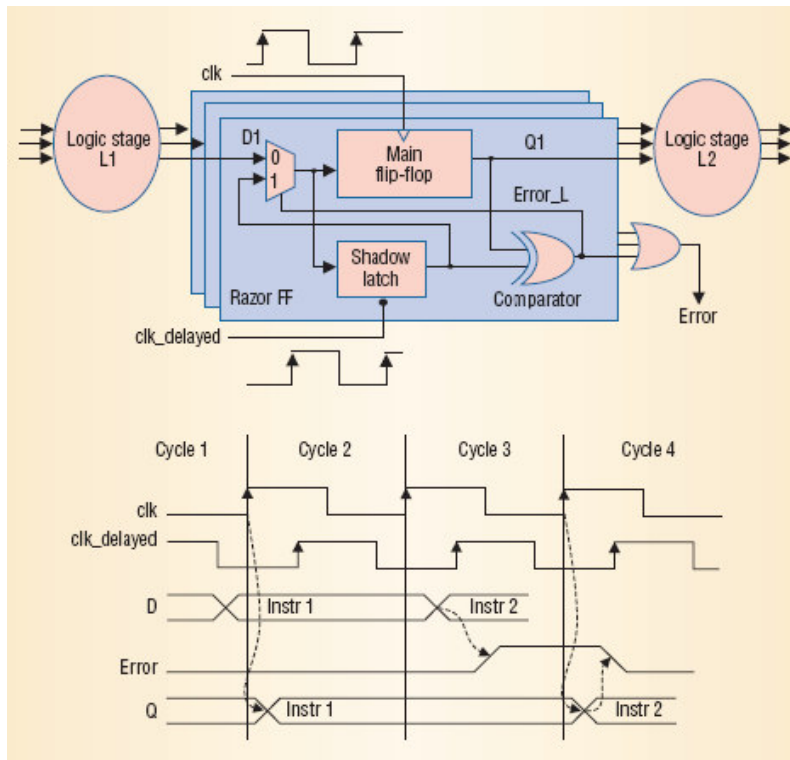


Figure 2.7 Technique « Razor » de correction de fautes de timing

Des nouvelles techniques de détection de fautes transitoires et de délais dérivant de celles qui ont été présentées précédemment sont aujourd’hui en cours d’étude dans notre groupe de recherche au laboratoire TIMA. Ces techniques sont des version optimisées en puissance consommée ainsi qu’en impact sur la vitesse, et plus adaptées aux besoin du moment. Elles ont été proposées dans un projet ANR « FARE » (Appel d’offre Architectures du Futur 2007).

2.1.1.3. Tolérance aux fautes par durcissement des latches

Des techniques de transformation des bascules en éléments insensibles aux délais et aux fautes transitoires internes ou venant de l’extérieur, ont fait l’objet d’une attention particulière dans notre groupe de recherche. Pour ce faire nous avons exploité les avantages du C-élément, décrit précédemment, en utilisant ce circuit à l’intérieur d’un latch D combiné avec des blocs de délai (voir figure 2.8).

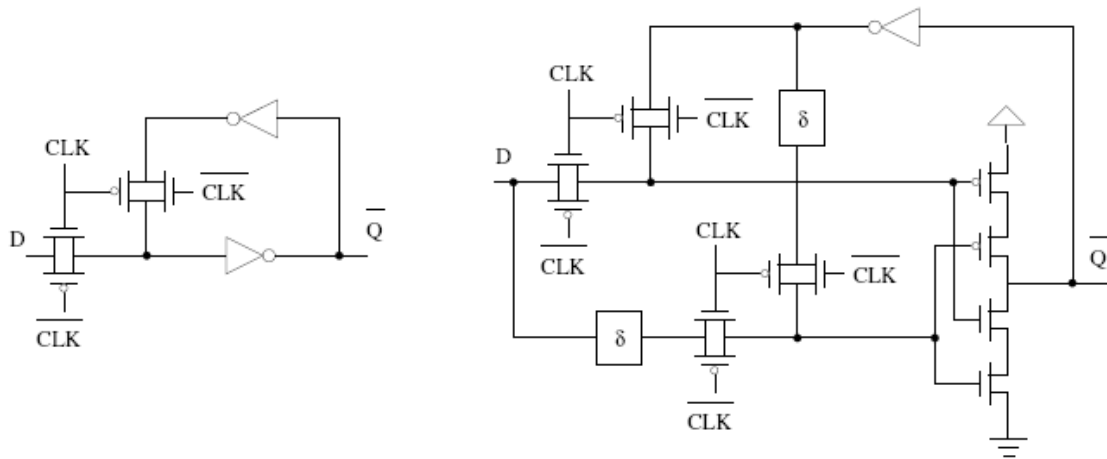


Figure 2.8. Latch D simple et latch D durci par l'utilisation du C élément

Cette structure présente une très bonne robustesse aux fautes transitoires d'une durée pouvant atteindre jusqu'à 500 ps avec un coût d'implémentation raisonnable, beaucoup plus faible que la triplification. Par exemple dans le cas d'un processeur MIPS, ce surcoût matériel est de 58%. Ces travaux se sont poursuivis dans le cadre de la thèse de Cristiano Lazzari, et ont fait l'objet de deux publications dans les conférences IEEE LATW et IEEE IOLTS en 2004. D'autres approches de durcissement des points de mémorisation sont en cours dans notre groupe de recherche. Deux stagiaires ont été encadrés en 2006 sur ces travaux de recherche pendant leur stage d'ingénieur. Ces nouvelles techniques utilisent les courants de fuite pour transformer des bascules standard en bascules durcies, sans augmenter le nombre des transistors de la cellule. Ainsi la nouvelle cellule durcie est plus compacte que la meilleure solution connue (DICE), qui était elle le résultat des travaux de recherche du groupe RIS du laboratoire TIMA.

2.1.1.4 Tolérance aux fautes transitoires sur des matrices de mémoire

Mes travaux de recherche sur la tolérance aux fautes ont compris aussi un séjour de 3 mois au sein de la compagnie Intel, à Santa Clara, CA, USA pendant l'été 2005. Lors de ce séjour j'ai eu l'opportunité de travailler sur l'analyse et l'implémentation de codes optimaux de détection et correction de fautes sur des mémoires de faible taille (register files) de deux architectures radicalement différentes (Itanium et Pentium M), sous contraintes de consommation statique.

2.2. Analyse des circuits auto-contrôlables face aux fautes temporelles et à niveaux indéterminés

Un nombre significatif d'implémentations de circuits auto-contrôlables a été proposé dans le passé et ces implémentations offrent 100 % de détection dans le cas de fautes de collage logique. Dans l'étude que nous avons menée le but était de pouvoir utiliser ces circuits pour la détection en ligne de fautes transitoires et de fautes de timing, mais aussi pour la détection en ligne de fautes qui impliquent des valeurs logiques indéterminées sur le site d'occurrence de la faute. Il s'agissait donc de déterminer l'efficacité des implémentations existantes des circuits auto-contrôlables en présence de ces fautes. On a démontré que ces implémentations s'avèrent moins efficaces pour les fautes considérées, prédominantes dans les technologies CMOS ultimes. Afin de pouvoir évaluer l'efficacité de ces circuits face à ces fautes, nous avons développé un modèle de fautes généralisant le modèle de collage logique. En utilisant ce modèle comme outil d'analyse, nous avons formalisé la plus large classe de circuits 'sûrs en présence de fautes' qui préserve cette propriété face aux modèles de fautes prédominants dans les technologies submicroniques avancées, appelé circuits 'à chemins sensibilisés sûrs'. Pour les circuits 'sûrs en présence de fautes' qui ne font pas partie de cette classe, l'efficacité de détection peut être compromise. Plusieurs solutions de remplacement des redondances inefficaces ont été proposées dans le cadre de ma thèse de doctorat, offrant ainsi une meilleure efficacité de détection par rapport aux circuits sûrs en présence de fautes logiques, et ceci à moindre coût matériel.

Les résultats de ce travail, formalisés dans une série de théorèmes, ont abouti à l'analyse la plus générale du comportement des circuits auto-contrôlables face aux fautes prédominantes dans les technologies submicroniques avancées. Elles ont par ailleurs abouti à des solutions de détection concurrentielle d'erreurs en ligne efficaces pour ces technologies. Ces travaux ont été présentés dans la conférence IEEE VLSI Test Symposium 2000 (VTS2000). Une extension de ces travaux est en cours et a fait l'objet d'un stage Mastère Recherche en 2005-2006 et vise l'étude du comportement des circuits auto-contrôlables en technologie 90nm et une comparaison avec les technologies de l'état de l'art.

2.3. Tolérance aux fautes dans la nano-électronique

Tout en poursuivant nos travaux dans le domaine de la tolérance aux fautes temporaires, nous les avons étendus au domaine de la tolérance aux fautes pour des technologies à hautes densités de défauts. Ces travaux visent le domaine des CMOS ultimes,

concernant les fautes permanentes et plus particulièrement les nanotechnologies.

2.3.1. Nanoélectronique - Technologie à très grande densité de défauts

Des efforts considérables sont consentis au sein des grands groupes académiques et industriels de recherche du monde entier afin de mettre en place et développer les technologies qui remplaceront les technologies du silicium MOS arrivant aux limites ultimes aux alentours des années 2015. Un certain nombre de solutions commencent à apparaître, mais qui sont encore dans le domaine de la recherche, grâce aux améliorations significatives produites au niveau de l'assemblage de ces composants en portes logiques et matrices de mémoires [28] afin de produire des systèmes de calcul beaucoup plus puissant que ceux que nous sommes capable de produire en CMOS, avec une puissance consommée beaucoup plus faible, et une vitesse de fonctionnement plus élevée. Il est prévu que ces systèmes vont intégrer des centaines de milliards de composants dans des réseaux homogènes, régulières, ayant une structure de réseau programmable. [28]

Nous avons évoqué dans le premier chapitre la grande densité de défauts qui est annoncée pour ces technologies. La conception des architectures tolérant les défauts pour les nanotechnologies est par conséquent inévitable. La tâche est d'ampleur car, à cause des concentrations de défauts élevées (par exemple, 35 % des dispositifs défectueux, prévu par ITRS ou bien plus d'un ordre de grandeur pour des les cellules mémoire par rapport à la densité de défauts d'aujourd'hui), les défauts affecteront aussi bien les parties fonctionnelles que les parties redondantes. Elles invalident de cette façon un principe de base des techniques de tolérance aux fautes qui considère que les défauts n'affectent pas les parties fonctionnelles et les parties redondantes en même temps.

Par conséquent, afin de pouvoir utiliser ces technologies dans des applications réelles, nous devons disposer d'approches innovantes permettant de tolérer ou de réparer des densités de défauts très élevées. Dans ce contexte, un axe important des nos travaux concerne ce problème, dont les techniques les plus significatives de nos recherches seront brièvement présentées par la suite.

En partant de l'hypothèse que les structures à base de nanotechnologies vont intégrer des trillions de composants dans des réseaux homogènes, réguliers, ayant une structure de réseau programmable, nous avons développé un certain nombre de techniques que nous avons validé par la suite dans des technologies CMOS avancés sur des architectures de type mémoire. De la même façon, pour établir la validation et l'étude de l'efficacité des

techniques proposées nous avons considéré différentes sortes de fautes affectant la matrice des cellules de mémoire en partant des fautes de type collage à zéro et à un, circuit ouvert, court circuits, fautes unidirectionnelles, fautes transitoires, couplages, etc.

2.3.2. Techniques d'auto-réparation à l'aide de BIST et BISR

a. BIST et BISR

Les dernières avancées dans le domaine des techniques de tolérance aux fautes pour les mémoires classiques développées en CMOS ultime se situent essentiellement au niveau de l'auto-test intégré ou Built-In Self Test (BIST). Le BIST est une technique dans laquelle la génération des vecteurs de test et l'analyse des résultats est effectuée à l'intérieur du circuit. Cette approche a l'avantage de se passer d'un équipement de test externe coûteux, de réduire le temps de test en exploitant les parallélismes structurels et fonctionnels qu'offrent les architectures BIST et permet enfin de tester les circuits à leur fréquence nominale. Ainsi, le test intégré permet la détection des mémoires défaillantes en phase de production ou durant leur fonctionnement normal. Mais au fur et à mesure que les densités de défauts augmentent, l'action de détection n'est plus suffisante si l'on veut maintenir des niveaux acceptables de rendement en production. Dans ce cas le test reste certes nécessaire pour détecter les défaillances, mais doit être suivi par une action de réparation.

La réparation des mémoires était traditionnellement contrôlée de l'extérieur en connectant les blocs de mémoires non défaillantes au bus des données en remplacement des blocs défaillants déconnectés (Hard Repair), à l'aide du laser ou en brûlant électriquement des fusibles (ou des anti-fusibles). Plusieurs désavantages sont liés à cette méthode. Premièrement, les composants utilisés ne font pas partie de la technologie standard CMOS, ce qui implique des coûts en surface importants. De plus, l'implémentation de ces composants de réparation contribue aussi à la baisse du rendement de production. Un autre inconvénient est que ce type de réparation ne peut être utilisée pour les mémoires embarquées à cause des problèmes d'observabilité et de contrôlabilité. Aussi, l'action de réparation ne peut être effectuée qu'une seule fois, généralement en phase de production, ce qui limite la fiabilité de la mémoire pendant le fonctionnement normal du système. Enfin, son coût est élevé, surtout lorsque les technologies laser sont employées.

La dernière avancée dans le domaine de la réparation mémoire, comme pour le cas du test, est l'auto réparation intégrée ou Built-In Self-Repair (BISR). Le BISR est une technique qui est associée au BIST qui rajoute une étape de localisation des fautes, la

sélection des unités redondantes en cas de reconfiguration pour le remplacement des unités défectueuses, et la connexion de ces unités redondantes au bus de données. L'utilisation du BISR est très adaptée aux mémoires embarquées à faible observabilité et contrôlabilité (à cause de l'accès limité). Elle est aussi intéressante pour éviter le coût résultant d'une reconfiguration basée sur l'utilisation du laser. Enfin, le BISR permet de corriger à la fois les défauts de fabrication et les défauts opérationnels puisqu'il peut être utilisé à tout moment pendant la vie du circuit.

Il existe cependant plusieurs contraintes qu'il faut prendre en considération lorsqu'on veut développer une solution BISR. Il faut veiller à réduire le plus possible le coût en surface du circuit de réparation, implémenter des algorithmes de réparation qui utilisent efficacement les ressources redondantes pour faire face à des distributions variées de fautes, minimiser l'impact sur le temps de l'accès à la matrice de cellules, réduire le temps globale de test/réparation et faciliter l'interfaçage avec le BIST. Plutôt que optimiser l'ensemble de ces exigences, la solution sera de trouver des compromis, entre l'efficacité de la réparation, le surcoût en surface, et la pénalité en vitesse.

b. Evaluation des techniques d'autoréparation intégré

Avant d'aller plus loin dans la présentation des diverses techniques de réparation intégrées que nous avons développées, nous parlerons d'une technique d'évaluation de l'efficacité de réparation que nous avons mise en place. L'évaluation de l'efficacité d'une technique de réparation est une démarche très importante, qui permet soit d'écarter ou d'améliorer une approche développée, soit tout simplement de la caractériser en fonction de différents paramètres (nombre d'unités redondantes utilisées, densités de défauts, ...).

Déterminer l'efficacité d'une technique de réparation en présence d'une certaine densité de défauts est un problème qui s'est souvent posé en termes de formalismes mathématiques. La difficulté d'une approche mathématique, réside dans le fait qu'il faut établir des équations analytiques qui reflètent le comportement de la technique de réparation cible. Ainsi, plus la technique de réparation est complexe et plus la recherche de ces équations est fastidieuse. De plus, la complexité de l'approche analytique ne dépend pas uniquement de l'algorithme de réparation mais aussi du modèle de distribution des fautes qu'on veut adopter, et qui ne manque pas d'être compliqué dès qu'on veut utiliser les distributions de fautes les plus réalistes.

Afin de s'affranchir de ces inconvénients, j'ai développé une recherche qui propose une approche de validation prédictive des fautes basée sur l'injection statistique de fautes et leur simulation. Cette approche est une alternative à l'élaboration de formules analytiques

difficiles à mettre en œuvre plus particulièrement pour les techniques de réparation complexes. Etant donné le nombre important de simulations à réaliser, nous avons construit un outil automatisé de validation, capable de tenir compte de la plupart des techniques de réparation et des types de redondances existantes dans l'industrie.

Deux types d'évaluations de l'efficacité ont été considérés, une évaluation au niveau de l'instance mémoire et une évaluation sur un ensemble de mémoires d'un même wafer. Pour cette dernière, des modèles d'amas de fautes ont été adoptés afin d'approcher le plus possible la réalité. Le modèle d'amas de fautes considère que si une cellule mémoire contient un défaut, la probabilité que ses voisines soient aussi défectueuses est plus élevée que la probabilité moyenne de défauts. C'est-à-dire que souvent les imprécisions du procédé de fabrication n'affectent pas une cellule isolée mais un voisinage de cellules. Ce modèle est implémenté dans le logiciel d'injection des fautes stochastiques en modifiant la probabilité de fautes induite par son voisinage. Ces modèles, ainsi que l'outil qui les implémente, sont présentés en détail dans le manuscrit de thèse de M. N Achouri et ont fait l'objet d'une collaboration avec la compagnie IRoC Technologies sur la durée du projet européen IST FRACTURE (2000-2004). L'outil a été ensuite utilisé pour la validation des techniques d'autoréparation que nous allons présenter par la suite.

2.3.2.1. Techniques d'auto-réparation au niveau de colonne/bit de données

Pour simplifier l'analyse du problème et optimiser le coût en surface, une première approche récursive a été proposée dans le cadre de la thèse de Nadir Achouri réalisée en collaboration avec la compagnie IRoC Technologies, permettant de reconfigurer les données de la mémoire quelque soit la distribution des fautes sur les parties régulières et/ou redondantes.

Afin d'améliorer l'efficacité de réparation de cette première approche, un mécanisme de reconfiguration dynamique a été envisagé, qui permet de sélectionner de plus petites tailles d'unités réparables sans modifier la structure de la mémoire (figure 2.9). Nous avons également élaboré des fonctions de reconfiguration capables de manipuler des colonnes redondantes singulières (sous ensemble d'une unité responsable de générer un bit de donnée) pour minimiser le coût dû aux ressources redondantes.

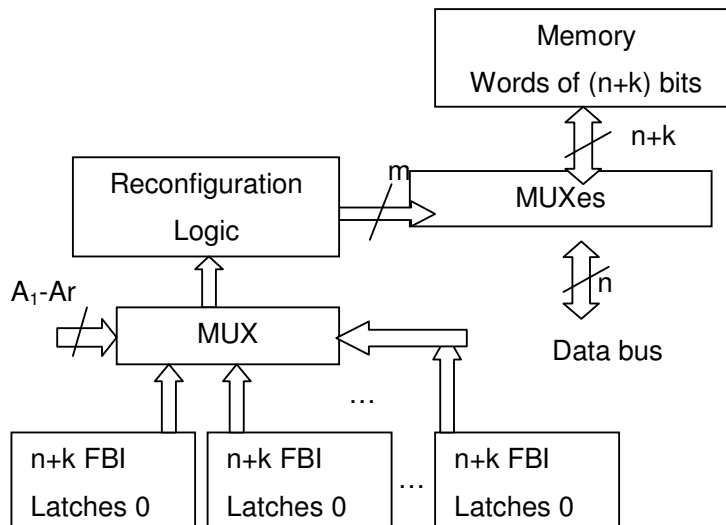


Figure 2.9. Schéma de principe d'auto-réparation au niveau colonne/bit de donnée

Dans le schéma donné dans la figure 2.9, pendant la phase de test BIST, on utilise r bits d'adressage (A_1 à A_r) afin de sélectionner l'ensemble des bascules contenant l'information d'erreur (nommées FBI dans la figure 2.9) correspondant à la colonne erronée pour chaque valeur d'adresse. Donc pour chacune des valeurs de $R = 2^r$, un ensemble différent de bascules stocke l'information d'éventuelle présence de fautes. Pendant l'opération normale du système, les adresses A_1, A_2, \dots, A_r , sont surveillées afin de déterminer quels blocs de bascules seront sélectionnés pour la reconfiguration de la mémoire.

Dans un but d'augmentation de la vitesse, on peut utiliser la fonction de reconfiguration R fois (les blocs $RFL_0, RFL_1, \dots, RFL_{R-1}$), et utiliser des multiplexeurs contrôlés par les bits d'adresses A_1, A_2, \dots, A_r à la sortie de ces bits (voir figure 2.10).

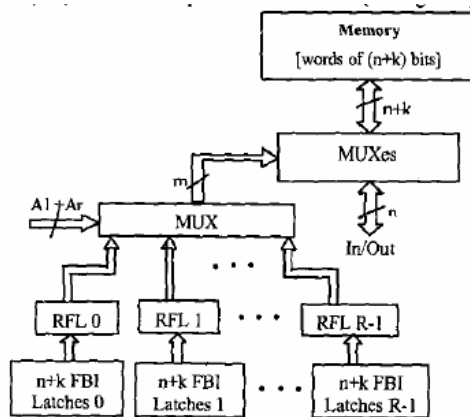


Figure 2.10 Schéma rapide de réparation dynamique

Dans ce dernier cas, le coût de la reconfiguration est un peu plus élevé car nous utilisons R blocs de reconfiguration au lieu d'un seul, le gain étant plus important en vitesse de

fonctionnement, car les entrées et les sorties des fonctions de reconfigurations sont fixées pendant la réparation.

Pour résumer, la version dynamique divise la mémoire en 2^r parties qui peuvent être sélectionnées par une valeur spécifique des bits d'adresses r . Ces parties de mémoire sont réparées en connectant dynamiquement les bits erronés aux bits en réserve disponibles, en fonction de la distribution de fautes pour chaque partie de mémoire.

2.3.2.3. Approches diversifiées d'auto-réparation

L'idée de base de cette approche consiste en l'utilisation d'une première technique de tolérance aux fautes pour réparer la plupart des défauts, puis l'utilisation d'une seconde technique pour réparer les défauts restants. Une telle approche distribue les ressources redondantes entre plusieurs techniques de tolérance aux fautes. A cause d'une telle organisation chaque technique de tolérance aux fautes disposera de moins de ressources redondantes pour le même nombre total de ressources redondantes. Sa justification est alors basée sur le fait qu'il faut réparer toutes les fautes affectant une mémoire sinon cette mémoire est déclarée non réparable. Considérons en effet une mémoire composée de plusieurs blocs. Une densité de défauts donnée résulte d'une distribution du nombre de défauts telle que seulement quelques blocs de la mémoire sont affectés par un nombre de défauts beaucoup plus élevé que la moyenne et donc beaucoup plus élevé que la plupart des blocs de la mémoire. Etant donné qu'on doit réparer toutes les parties de la mémoire et qu'on ne connaît pas à l'avance quels blocs vont être touchés par un grand nombre fautes, nous devons attribuer à chaque bloc une redondance suffisante afin d'effectuer la réparation avec succès. La situation devient critique lorsqu'on dispose d'un grand nombre de blocs mémoire, car cela va augmenter la probabilité d'avoir quelques blocs de mémoire avec un nombre de défauts beaucoup plus élevé que celui touchant la majorité des blocs. Dans ce cas, il sera plus efficace de disposer pour chaque bloc d'un niveau de redondance capable de réparer un nombre de défauts modéré, pour réparer ainsi la majorité des blocs, puis ajouter des redondances pour remplacer les quelques blocs affectés par un plus grand nombre de fautes. Nous avons développé trois types d'architectures de réparations basées sur ce principe. Il s'agit de l'autoréparation basée sur la polarité des erreurs, de l'autoréparation basée sur la combinaison colonne et bloc et sur l'utilisation des codes ECC et réparation ligne.

a. Autoréparation basée sur la polarité des erreurs

L'idée de base qui régit ces techniques est de combiner entre elles des unités défaillantes pour générer des unités fonctionnelles, au lieu de remplacer les unités

défaillantes par des unités correctes comme il a été question auparavant. Cette approche devrait mieux fonctionner dans le cas de très hautes densités de défauts dans lequel il est difficile de disposer d'unités non erronées. La combinaison est basée sur le fait que dans la majorité de situations, les cellules fautes ne vont pas occuper exactement les mêmes positions dans deux unités différentes. La difficulté d'appliquer un tel schéma de réparation réside dans la sélection des cellules correctes dans chaque unité. Une première technique utilise une approche basée sur les polarités d'erreurs produites à la sortie de chaque bloc mémoire en combinant les unités ayant la même polarité d'erreurs. Cette combinaison se fera à l'aide des fonctions de reconfiguration qui masquent une polarité d'erreur spécifique aux deux unités combinées.

Dans la figure 2.11 est présenté le principe utilisé pour la recombinaison des unités correctes avec les unités défaillantes. Le circuit MUX1 pour la position i (MUX1 i) sélectionne une réserve pour la réparation de l'unité erronée i . Les circuits additionnels sont utilisés pour la sélection de la fonction appropriée qui pourrait combiner la réserve sélectionnée avec l'unité de correspondante, créant la donnée correcte de la position i . Cette fonction est contrôlée par les signaux 0_i , et 1_i , qui précisent si la position i aura une erreur de polarité 0->1 ou 1->0, et par le signal $01/00_i$, qui précise si la position i appartient à la catégorie 01 (les deux types d'erreurs sont générées en égale mesure) ou elle est sans erreur.

De plus, pendant une opération d'écriture, ces circuits connectent les données écrites aux zones régulières et réserves sélectionnées par le MUX1 i . Ceci est réalisé par le buffer 3 états contrôlé par le signal "Write enable".

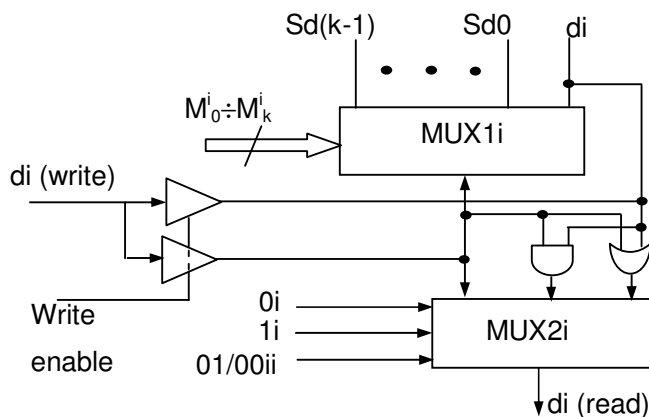


Figure 2.11. Technique de multiplexage en fonction de la catégorie de polarité des fautes.

Trois schémas basés sur ce concept de combinaison des unités sur la base de la polarité des erreurs ont été analysés, développés et validés par injection de fautes

- Une première technique combinant les unités fautives en utilisant des fonctions de reconfiguration statiques, mais qui requiert l'utilisation d'un nombre important d'unités redondantes.
- Une autre technique utilise des fonctions de reconfiguration qui effectuent les combinaisons en fonction des polarités d'erreurs de chaque unité. Ce schéma permet de réduire le nombre d'unités redondantes nécessaires à la réparation au détriment d'une logique de reconfiguration plus complexe.
- Une dernière technique utilisant des fonctions de reconfiguration fixes a été proposé pour le cas des mémoires avec une distribution déséquilibrée de défauts. Il s'applique à la situation où une polarité d'erreur particulière est nettement plus probable que toutes les autres. Pour de telles situations, on peut utiliser des fonctions de reconfiguration fixes utilisant un nombre réduit d'unités redondantes.

Nous avons utilisé un logiciel d'injection de fautes basé sur la simulation afin d'évaluer ces techniques. De façon synthétique ces évaluations montrent que ces techniques permettent d'assurer la fonctionnalité d'un système de type mémoire pour une densité de défauts allant jusqu'à 10^{-4} (seulement 37,9% d'augmentation de surface pour un rendement de 100% en utilisant 4 bits de réserve, 6 bits adresse et 4 blocs de réserve). Si l'on veut faire face à des densités de défauts encore plus importantes, le coût en surface montera en conséquence, atteignant 70% pour une densité de défauts 10^{-3} .

Ces schémas et les implémentations matérielles correspondantes ont été détaillés dans le manuscrit de thèse de Nadir Achouri, et ils ont été publiés aux conférences IEEE DFT en 2003 et IEEE PRDC en 2004.

b. Auto-réparation basée sur la reconfiguration dynamique combinant la réparation au niveau de la colonne de données et des blocs de données

Cette approche est basée sur la distribution de défauts dans les différentes unités réparables de la mémoire. Pour la majorité de ces unités, la distribution de défauts résulte en un nombre de fautes oscillant autour du nombre moyen de fautes par unité de mémoire. D'un autre côté, quelques unités réparables peuvent contenir un grand nombre de fautes, supérieur au nombre moyen de fautes par unité de mémoire. Du fait qu'on ne connaît pas à l'avance quelles unités vont concentrer le plus grand nombre de fautes, nous devons disposer d'un nombre suffisant d'unités redondantes pour chaque unité erronée afin de garantir leur réparation. Une telle disposition de ressources redondantes donnerait rapidement lieu à un coût de réparation très important.

En tenant compte de cette remarque, nous améliorons l'efficacité de la réparation en proposant une approche de réparation diversifiée. Celle-ci utilise un premier schéma de

réparation pour réparer la majorité des unités fautives (incluant un nombre de fautes qui oscille autour du nombre moyen), combiné avec un second schéma de réparation qui remplace les unités non réparées par des unités redondantes correctes ou bien réparées.

Pour ce faire, nous avons développé une technique qui utilise la réparation au niveau colonne de données combinée avec la réparation par bloc. La réparation au niveau colonne est basée sur la reconfiguration dynamique (présentée auparavant), tandis que la réparation bloc se base sur l'utilisation des mémoires associatives (CAM).

Pour effectuer la réparation au niveau bloc, on dispose de q blocs redondants. Nous employons la réparation colonne pour réparer les blocs de la mémoire principale mais aussi pour réparer les blocs de réserve, car à cause de la grande densité de défauts ces blocs contiendront également des défaillances. La réparation dynamique au niveau colonne laissera non réparés certains blocs de la mémoire principale ainsi que certains blocs redondants (de réserve), car certains de ces blocs pourront accumuler un nombre de défauts qui excède les capacités de la réparation « colonne ». Par la suite nous utilisons des blocs de réserve réparés pour remplacer des blocs non réparés dans la mémoire principale. Chaque bloc de la mémoire principale ou de réserve comporte 2^{m-r} mots (il est donc adressé par $m-r$ bits d'adresse), où m est le nombre total de bits d'adresse de la mémoire figure 2.12).

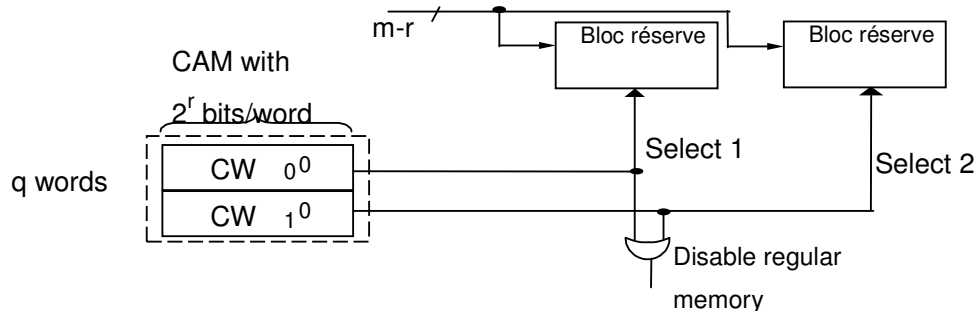


Figure 2.12 Réparation au niveau bloc

La mémoire principale comporte 2^r blocs. Chacun de ces blocs est sélectionné par une valeur des r bits d'adresse restants. Chaque bloc de réserve est sélectionné par un mot d'une mémoire CAM. Si lors de la réparation des colonnes des blocs de réserve, un de ces blocs est trouvé non réparé, nous pouvons positionner un bit flag à 1 dans le mot de la mémoire CAM correspondant, qui interdit donc la sélection de ce bloc pour réparer un bloc de la mémoire principale. Lors de la réparation bloc, on stocke dans un mot CAM dont le bit flag est à 0, l'adresse de chaque bloc de la mémoire CAM non réparé lors de la réparation colonnes.

En comparant les deux solutions de reconfiguration dynamique au niveau colonne et reconfiguration dynamique au niveau colonne plus bloc de mémoire, nous aboutissons aux conclusions suivantes :

- Pour une densité de défauts faible, aux alentours de 10^{-5} (un petit peu plus grand que dans les technologies CMOS d'aujourd'hui) la réparation au niveau colonne est plus efficace que le schéma combiné. Le coût d'implémentation est très raisonnable (exemple : 10.5% pour une mémoire 16kx64 bits)
- Par contre si la densité de défauts augmente, ou pour des mémoires de taille très importante, le schéma combiné devient plus intéressant que la reconfiguration au niveau colonne.

Ces travaux ont été détaillés dans le manuscrit de thèse de Nadir Achouri, et ils ont été publiés aux conférences IEEE DATE 2003, IEEE IOLTS 2003, et dans la revue JETTA 2004.

c. Autoréparation dynamique combinée avec des codes ECC

Une dernière technique de réparation mixte utilise les codes ECC (par exemple les codes de Hamming) pour corriger la majorité des mots mémoire erronés, et une réparation dynamique au niveau mot pour réparer les mots mémoire non corrigés si ces mots contiennent un nombre de fautes non corrigés par l'ECC. Normalement, les codes ECC sont plutôt utilisés pour la détection des erreurs transitoires, alors que la réparation a plus de sens dans le test de fabrication. Néanmoins, lorsque le niveau de défauts augmente au delà d'un certain niveau, le coût de réparation devient prohibitif, étant bien plus important que le coût des codes ECC, qui peuvent alors devenir intéressants. Ainsi pour des très grandes densités de défauts, nous avons proposé une réparation qui utilise un code ECC pour réparer la majorité des mots de la mémoire, puis une autre réparation qui remplace les mots non réparés par le ECC par des mots de réserve. La réparation au niveau mot est effectuée par une mémoire CAM. Dans la partie adresse de chaque mot de cette mémoire nous stockons l'adresse d'un mot non réparé de la mémoire principale. La partie données de chaque mot est utilisée en fonctionnement pour écrire et lire les données destinées au mot remplacé de la mémoire principale. Chaque mot de la CAM contient aussi un flag qui est mis à '1' si ce mot est défaillant. Nous évitons ainsi l'utilisation des mots de la CAM défaillante lors de la réparation.

Nous avons montré qu'une telle technique est efficace pour des mémoires à très haute densité de défauts, tandis que la seule utilisation d'un code ECC résulterait malgré tout en un rendement nul même, en payant le prix d'une redondance plus élevée que celle utilisée dans l'approche mixte. Bien sûr d'autres combinaisons de deux ou plus, techniques de

réparation peuvent être utilisées pour l'approche mixte. La condition importante pour rendre l'approche efficace est de sélectionner un premier schéma qui répare efficacement la majorité des unités fautives, et un second schéma qui répare toutes les unités fautives demeurant non réparées par le premier schéma.

En conclusion, en utilisant cette technique nous pouvons adresser des densités de défauts extrêmement élevés, ($Dd=10^{-2}$ déf/Mbit), pour lesquelles le surcoût en surface ne dépasse pas 37% et étant encore moins élevé si la densité de défauts est plus faible. Pour des mémoires contenant jusqu'à 10% des cellules défectueuses (densité de défauts 10^{-1} déf/Mbit) une amélioration de cette technique nous amène à un rendement de près de 100% avec un surcoût en surface d'environ 65%. Pour des densités de défauts encore plus importantes, des améliorations quant à la capacité de correction peuvent être envisagées, à nouveau avec un coût d'implémentation raisonnable.

Ces travaux ont été publiés aux conférences VTS 2004 recevant le prix du meilleur article. Ces résultats ont montré pour la première fois qu'il est possible de fabriquer des mémoires et les rendre fonctionnelles pour des densités de défauts extrêmement élevées.

2.3.3. Autoréparation au niveau cellule mémoire ou cellule logique simple

Les effets quantiques, le bruit et les défauts de fabrication, tels qu'ils sont envisagés dans les nanotechnologies, vont induire des défaillances même à l'échelle d'une seule porte logique ou d'une cellule de mémoire. Ces prévisions nous rappellent les structures redondantes au niveau portes logiques de début des années '60 proposés par von Neumann, Tyron et Jensen [18] [19] ou Han et Jonker [20]. A l'époque les composants étaient discrets et afin d'aboutir à un système d'une certaine complexité il fallait considérer des redondances massives en matériel, le surcoût en matériel pouvant aller jusqu'au 20000% pour certains des approches. Dans la perspective des nanotechnologies, des solutions de redondance massive doivent être considérées également.

Dans ce contexte, nous avons proposé des techniques de redondance pour les portes logiques et cellules de mémoire tout d'abord au niveau transistor. Ces techniques sont présentées dans la figure 2.13.

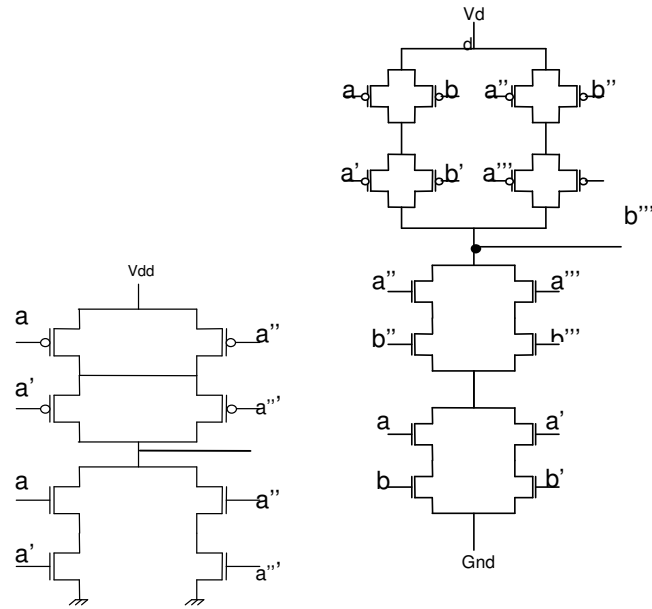


Figure 2.13. Porte inverseur et porte NAND tolérantes aux fautes

On observe que chaque transistor est remplacé par 4 transistors, l'étage NMOS étant organisé en deux groupes parallèles de deux transistors en série. L'étage PMOS est organisé réciproquement.

Ces architectures de portes sont prouvées très robustes par analyse et par simulation, pouvant supporter jusqu'à 2 voire 3 fautes simultanément. Toute porte logique peut être implémentée de cette façon, y compris les bascules.

Pour monter à un niveau de hiérarchie supérieur, les circuits tolérant les fautes multiples auront l'architecture suivante (figure 2.14) :

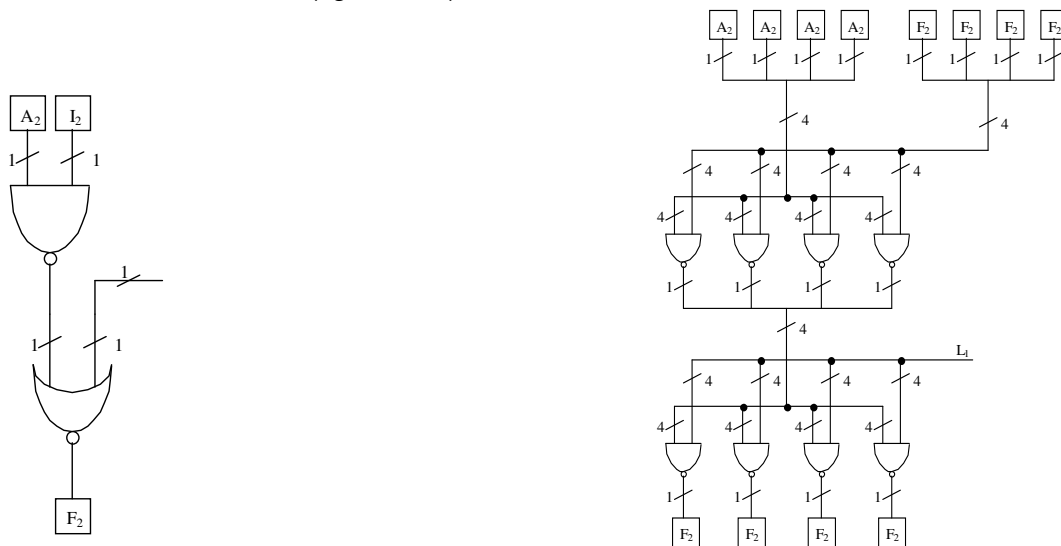


Figure 2.14. Circuit initial.

Le même circuit en version tolérante aux fautes.

Pour la poursuite des travaux, l'idée est d'utiliser cette approche au niveau porte pour réparer la vaste majorité des portes (car même avec une densité de défauts de 10^{-1} par porte le nombre de portes concentrant 3 défauts restera excessivement faible), puis utiliser une technique dans un niveau hiérarchique plus élevé que la porte, pour réparer le nombre relativement faible de portes laissées irréparables par la première technique. Nous espérons ainsi pouvoir accéder à des rendements élevés, avec un coût largement inférieur à celui requis par le multiplexage von Neuman [21][18].

Ces travaux sont à l'étude en ce moment, partiellement dans les thèses de Cristiano Lazzari (pour la validation du concept en technologie CMOS ultime) et de Trinh Trong Dang (pour leur implémentation sur un support nano tubes de carbone). Ils ont fait l'objet de deux publications à la conférence IEEE LATW en 2005 et 2006 et ils ont été présentés dans une session spéciale à la conférence IWANN 2007.

2.4. Bilan du chapitre

Ces travaux de recherche ont débuté dans les années 2000 avec notre participation dans le projet européen IST FRACTURE, visant à proposer des solutions de tolérance aux fautes pour les grandes densités des défauts dans les mémoires de type nano-flash. Ce contexte nous a permis de mettre à l'épreuve nos premières ébauches de solutions. Nous avons encadré la thèse de Nadir Achouri qui a traité une grande partie des solutions sur ce sujet. Ces travaux se poursuivent actuellement dans la thèse de Cristiano Lazzari, qui s'attache entre autres à développer en technologie CMOS avancée des techniques très redondantes de tolérance aux fautes au niveau cellule logique et mémoire. L'ensemble de ces résultats a donné lieu à un nombre conséquent de publications dans des conférences et revues. Une de ces publications a reçu le prix de la meilleure communication à IEEE VLSI Test Symposium 2004 attribué en 2005. C'est une première importante qui démontre que des technologies utilisant des processus de fabrication de très mauvaise qualité peuvent toutefois être exploitées pour fabriquer des mémoires fonctionnelles, et par conséquent pourraient être adaptables pour des composants nanotechnologiques comportant une structure régulière reconfigurable.

2.5. Perspectives

Dans la continuité de ce travail nous comptons adresser les architectures des circuits logiques à base de nanotubes de carbone, afin de tolérer de grandes densités de défauts. C'est un défi majeur, étant donné la dispersion très élevée des caractéristiques de ces dispositifs, sachant que les meilleures solutions connues dans ce domaine nécessitent une

multiplication de la surface du circuit par 6000 (!) pour tolérer des densités de défauts très élevées (quelques cellules défailantes parmi une centaine des cellules). Ces nouvelles investigations ont commencé en 2006, une partie étant traitée dans le thèse de Trinh Trong Dang, une autre partie ont fait à ce stade l'objet de 2 stages, un en 2006 un autre en 2007.

Les articles les plus significatifs pour ce chapitre sont les suivants :

- L. Anghel, M. Nicolaidis, "Defects Tolerant Logic Gates for Unreliable Future Nanotechnologies », Invited Talk dans une session Speciale de la conférence IWANN (International Work-Conference on Artificial Neural Networks), June 2007, San Sebastian, Spain
- C. Lazzari, L. Anghel, R. Reis, "Soft Error Circuit Hardening Techniques Implementation Using an Automatic Layout Generator", in Proceedings of IEEE Latin American Test Workshop, Salvador Bahia, Bresil, April 2005.
- L. Anghel, E. Kolonis, M. Nicolaidis « Transient and Permanent Fault Tolerance Memory Cells for Unreliable Future Nanotechnologies», in Proceedings of IEEE Latin American Test Workshop, Salvador Bahia, Bresil, April 2005.
- L. Anghel, M. Nicolaidis, N. Achouri, " Built In Self Repair Techniques for Based on ECC Codes to Cope with Memories Affected by High Defect Densities" in Proceedings on IEEE VLSI Test Symposium 2004, Napa Valley, USA, April 2004. ***DISTINCTION : Best Paper Award of IEEE VTS Conference 2004.***
- L.Anghel, M. Nicolaidis, N. Achouri, " Evaluation of Memory Built-In Self Repair Techniques for High Defect Density Technologies" to be published in Proceedings on IEEE Pacific Reliable Dependable Computing 2004, Tahiti, French Polynesia, March 2004.
- M. Nicolaidis, N. Achouri, L. Anghel, « A Memory Built-In Self Repair for High Defect Densities Based on Error Polarities » in Proceedings of 18th, Defect and Fault Tolerance for VLSI Systems, Cambridge, MA, USA, November 2003.
- L. Anghel, R. Velazco, S. Saleh, "Validation of an Approach Dealing with Processor Obsolescence" in Proceedings of 18th, Defect and Fault Tolerance for VLSI Systems, Cambridge, MA, USA, November 2003.
- L. Anghel, M. Nicolaidis, "Cost Reduction and Evaluation of a Temporary Faults Detecting Technique", in Proceeding of Design Automation and Test in Europe 2000 (DATE 2000) Conference IEEE-CS, Paris, France, p. 591-597, March 2000. ***DISTINCTION : Best Paper Award of IEEE/ACM « Design, Automation and Test in Europe 2000 » (DATE 2000)***
- L. Anghel, M. Nicolaidis, N. Achouri "Memory Defect Tolerance Architectures for Nanotechnologies" in Journal of Electronic Testing and Testable Applications, August 2005

Chapitre 3 Evaluation prédictive du comportement des circuits complexes face aux fautes

3.1. Introduction

L'évaluation prédictive du comportement des systèmes intégrés complexes face aux fautes temporaires et de timing est un processus très complexe et très coûteux en temps. Afin d'éviter une augmentation importante du temps de conception et de validation, cette analyse doit être effectuée le plus tôt possible dans le processus de conception. Ceci est d'autant plus important que le nombre des fautes transitoires et de timing est devenu très élevé, rendant pratiquement tous les types de circuits (numériques, analogiques, mixtes, y compris plateformes FPGA, etc) susceptibles de subir des défaillances.

Nous avons centré nos activités de recherche sur l'évaluation de la sûreté de fonctionnement face aux fautes transitoires ayant pour cause les impacts de particules énergétiques. Les activités de recherche du groupe QLF étant orientées principalement autour de cet axe, nous avons alors pu profiter de l'expérience et des projets scientifiques en cours. Néanmoins nous avons montré que cette analyse reste valable pour toutes les classes de fautes transitoires et de délai, quelque soit leur origine : bruit sur le rail d'alimentation, crosstalks , couplages de toutes sortes, variations du procédé de fabrication, etc.

La suite de ce chapitre concerne donc l'évaluation de la sensibilité des circuits complexes face aux fautes transitoires ayant pour origine la radiation atmosphérique.

Dans la figure 3.1 nous présentons des mesures de SER (*Single Error Rate*) induit par des neutrons atmosphériques et particules alpha. Ces mesures ont été réalisées sur des mémoires SRAM fabriquées en technologie 0,25 μm (technologie à 2 V) et en technologie 0,18 μm (technologie à 1,6 V) en accélérateur de particules. Elles montrent que les effets des particules alpha augmentent d'environ 30 fois lorsque on passe de la technologie 0,25 μm à la technologie 0,18 μm tandis que pour les neutrons l'effet est moindre, restant tout de même important (le SER augmente de 20%).

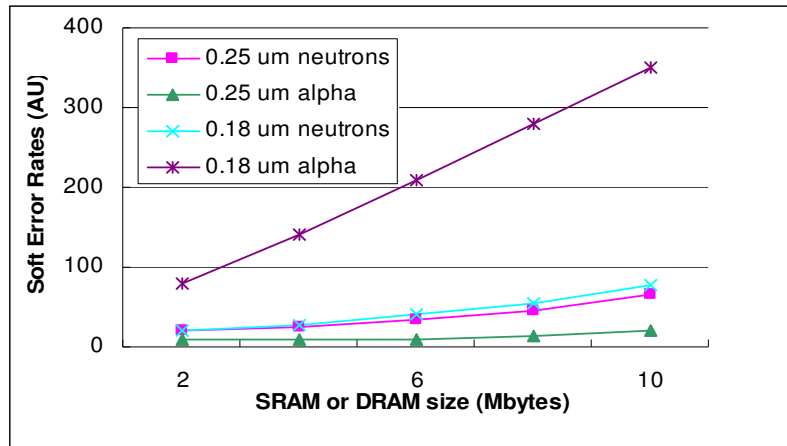


Figure 3.1. SER pour deux types de mémoires SRAM et DRAM[29]

Nous observons aujourd'hui que ces problèmes ne sont plus réservés à des technologies fonctionnant dans le domaine spatial, mais qu'ils commencent à apparaître dans les circuits fonctionnant au niveau terrestre et dédiés aux applications électroniques à faible valeur unitaire. Cette augmentation s'explique par le fait que dans les technologies très fines, la taille du transistor et le niveau d'alimentation sont de plus en plus réduits, rendant la charge critique des nœuds de plus en plus faible. En conséquence, des neutrons et des particules alpha (même ceux qui possèdent une faible énergie), sont capables de faire basculer la valeur logique d'une cellule de mémoire. De plus, les matrices des mémoires étant de plus en plus denses et de taille de plus en plus importante, elles deviennent aussi sensibles aux erreurs multiples, dont le taux ne cesse d'augmenter.

L'augmentation du taux d'erreurs due aux particules énergétiques se confirme aussi lorsqu'on passe à une technologie encore plus fine, par exemple à la 130nm. Par contre, le taux d'erreurs augmente peu pour la technologie 90nm, car des mesures de tolérance aux fautes à plusieurs niveaux sont mises en place dans les mémoires. Nous assistons également à des forts changements au niveau du processus technologique, qui ont pour objet de le rendre de plus en plus robuste aux phénomènes de consommation, thermiques, ou parasites. Ces analyses ont été publiées en février 2005 dans Design & Test of Computers, par les chercheurs de chez Intel, USA [30] et proviennent d'une campagne très importante de mesures expérimentales en accélérateur de particules.

Plusieurs incidents ayant pour cause les effets des particules ionisantes ont été reportés ces dernières années. En 2000, la compagnie SUN Microsystems admet que plusieurs crashes des systèmes ont été observés sur les serveurs Entreprise provenant des impacts cosmiques sur les mémoires cache [Baum-02]. En contrepartie, la compagnie Fujitsu Ltd annonce que dans les architectures SPARC en technologie de 130nm, 80% de leurs

bascules sont protégées par un code de parité. IBM fixe le niveau de spécification des FIT à 114/Mbit (le taux de SER se mesure en FIT- *Failures in Time* un FIT correspondant à 1 erreur par 10^9 heures de fonctionnement/composant), ce qui se traduit en un temps moyen sans erreurs de 1000 ans. Cependant, les résultats de mesures en accélérateur de particules ou en vol prédisent déjà une moyenne de 1000 FIT par Mbit (par des neutrons et des particules alpha) pour des bascules et des cellule SRAM conçues en technologie de 130nm.

En plus des points mémoire et bascules, les parties combinatoires des systèmes synchrones deviennent elles mêmes de plus en plus sensibles. Ceci est dû principalement à la diminution des temps de commutation des portes logiques, qui est devenu beaucoup plus court que la durée d'une impulsion transitoire générée par l'impact d'une particule énergétique, ainsi qu'à l'augmentation de la fréquence de l'horloge. Il est important de signaler que les réseaux des portes logiques présentent tout de même moins de sensibilité que les mémoires, ce qui est dû au masquage logique, électrique ou temporel.

Dans la figure 3.2. les trois types de masquages sont présenté

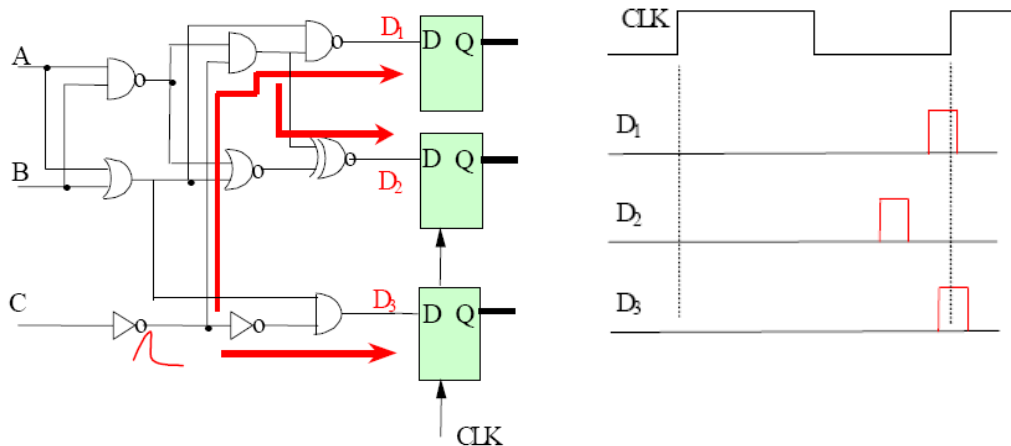


Figure 3.2. Scénario de propagation d'une impulsion transitoire dans un circuit combinatoire et les formes d'ondes des sorties affectées

- **Le masquage logique** survient quand aucun chemin de propagation n'existe entre la porte affectée par une particule et des signaux de sortie ou des bascules. Par exemple pour une combinaison des entrées $(A,B,C) = (0, 0, x)$, l'impulsion transitoire ne se propagera pas vers la sortie D1, ni vers la sortie D2, ou D3, elle est donc masquée par l'état logique du circuit. Il est possible de calculer la probabilité de propagation des impulsions vers les bascules ou vers les sorties à l'aide des méthodes formelles, statistiques ou par simulation logique [35].

- **Le masquage électrique** fait référence à l'atténuation des l'impulsions transitoires résultant d'un l'impact à travers les portes logiques se trouvant tout au long d'un chemin de propagation. L'impulsion transitoire peut être atténuée avant son arrivée aux sorties. Si sa durée est plus grande que les temps de transition des portes logiques, elle peut se propager sans atténuation aux sorties [31]. Le masquage électrique est dépendant de la technologie des portes, de leur topologie, de la dimension des transistors, du fan-out, des tensions de seuil des transistors, etc.
- **Le masquage temporel** survient lorsque l'impulsion transitoire n'arrive pas aux bascules dans la fenêtre de vulnérabilité du latch (autour du front actif de l'horloge). Sur la figure 3.2. il s'agit des impulsions arrivant aux D1, D3, l'impact sur D2 est masqué. Ces types de masquages sont très fortement dépendants de l'activité du circuit et surtout de la fréquence de l'horloge.

Chacun de ces trois facteurs de masquage peut être vu comme une barrière à l'apparition des *erreurs softs* produites par l'impact des particules dans les parties combinatoires. Dans les nouvelles technologies on assiste à une réduction considérable de ces barrières. Il est d'ailleurs prévu que le taux *d'erreurs soft* des parties logiques combinatoires sera comparable à celui des mémoires non protégées aux alentours des années 2011[32].

Il est important de noter qu'en ce qui concerne les parties combinatoires par rapport aux mémoires, la sensibilité des nœuds appartenant à un réseau de portes logiques n'est pas uniforme d'un nœud à l'autre. En effet, la probabilité qu'une impulsion transitoire, apparue à un nœud quelconque, soit transformée en erreur logique peut être jusqu'à un ordre de grandeur plus importante que pour un autre nœud du même circuit.

La même vulnérabilité est constatée dans les technologies de type FPGA, pour les mémoires de configuration et les blocs reconfigurables. Les LUT (Look Up Tables) qui sont essentiellement combinatoires sont eux aussi de plus en plus sensibles aux phénomènes transitoires.

En conséquence, il est essentiel d'identifier les nœuds les plus vulnérables d'un réseau de portes logiques et de connaître également les probabilités qu'une impulsion transitoire se transforme en erreur logique voire même aux sorties de l'application. Il est également important de connaître quelles bascules ou autres éléments de mémorisation peuvent produire des erreurs dans l'application. Ensuite, des moyens locaux de durcissement peuvent être mises en place afin de réduire le taux global d'erreurs d'un circuit combinatoire et donc du système entier. Les concepteurs s'intéressent également à connaître le taux

d'erreurs logiques qui peuvent être détectées et/ou corrigées par un mécanisme de détection/correction.

La conception de circuits VLSI fiables exige des méthodes et des outils d'évaluation prédictive du niveau de robustesse vis-à-vis des fautes induites par les particules ionisantes, et ceci dans le contexte de l'application. En particulier, les concepteurs sont intéressés par des outils capables de réaliser des campagnes d'injection de fautes avant que le circuit ne soit fabriqué, et assez tôt dans le cycle de conception, afin d'éviter le risque de découvrir après la fabrication que le niveau de fiabilité du produit n'est pas conforme aux spécifications. Ces outils devraient par exemple permettre, lorsque l'on dispose uniquement du modèle haut niveau d'un système, d'obtenir une évaluation en amont de la fiabilité de ce système.

Si, dans le cas des mémoires, les expériences des tests sous radiation permettent de calculer aisément le taux de SER (les cellules mémoires sont toutes identiques, permettant d'obtenir des résultats avec un faible nombre d'événement), ceci n'est pas le cas des circuits combinatoires, nécessitant un très grand nombre d'événements pour obtenir des résultats statistiquement significatifs. Comme nous l'avons déjà mentionné, dans ces circuits chaque nœud a une sensibilité différente. La probabilité qu'une impulsion transitoire soit transformée en erreur nécessite la prise en compte de plusieurs phénomènes et paramètres qui tiennent à la fois de l'environnement, du circuit et de la technologie, de la topologie du circuit et des vecteurs d'entrée (autrement dit de l'application). Tous ces phénomènes et paramètres doivent être bien intégrés, mais ceci est une tâche difficile, car un certain nombre est de nature aléatoire. L'évaluation du taux d'erreurs pour ces circuits ne pourra se faire que par simulation avec injection de fautes. Pour cela, le concepteur doit pouvoir simuler tout le processus de génération, d'une impulsion transitoire, de sa propagation et de sa transformation en erreur logique et/ou d'application. Ceci implique plusieurs niveaux de simulation partant du niveau physique jusqu'au niveau système, en prenant en compte l'environnement radiatif et électrique ce qui implique la prise en compte d'un nombre très important de fautes transitoires ayant diverses formes et durées (selon le type de particule, son énergie, son point d'impact, le type de porte et sa capacité de sortie) pour un nombre encore plus important de vecteurs de test (selon l'application choisie, plus ou moins complexe). De plus, et c'est encore plus important, la simulation de fautes doit être très rapide, pour ne pas induire des longs délais dans le cycle de conception.

Depuis quelques années, plusieurs centres de recherche se sont attachés à proposer des méthodes d'évaluation du taux d'erreurs. Certains utilisent des modèles analytiques, souvent très simplistes, alors que d'autres s'attachent à l'évaluation du taux

d'erreurs au niveau du transistor, en restant sur la modélisation du phénomène d'interaction avec la matière.

L'originalité de nos recherches consiste en deux aspects, d'une part la combinaison du calcul probabiliste d'apparition de fautes transitoires au niveau physique avec la simulation de fautes et d'autre part dans le découpage du problème d'évaluation des effets des erreurs soft en plusieurs types et méthodes d'analyses, une par niveau d'abstraction. Par ailleurs, nos méthodes sont très flexibles en terme de modèle de fautes puisque tous les modèles de fautes peuvent potentiellement être supportés suivant le niveau d'abstraction auquel ils correspondent et les fautes peuvent être injectées dans n'importe quel module du système.

Les travaux de recherche dans ce domaine ont commencé pendant ma thèse de doctorat, en se poursuivant par le stage de DEA de M. Dan Alexandrescu en 2000 et par une thèse effectuée entre 2001 et 2005, Mme Susi Saleh. Une première version d'un outil d'évaluation de sensibilité a fait l'objet d'un transfert industriel vers la société IRoC Tehnologies, en 2001. Le travail concernant la simulation à plusieurs niveaux d'abstraction se développe grâce à nos implications dans le projet MEDEA+ Parachute dont je suis la coordinatrice au laboratoire TIMA. Cette recherche nous a permis de valider nos méthodologies et les outils créés dans un environnement industriel, grâce à l'implication des sociétés comme EADS, Atmel, Airbus et Alcatel Espacio dans ce projet.

3.2. Modèles de fautes et niveaux d'abstractions

Les fautes survenant pendant le fonctionnement normal d'un circuit peuvent être dues soit aux phénomènes externes, reliés à l'environnement du circuit, soit aux caractéristiques internes, générant un comportement non désiré (clock jitter, crosstalk, ground bounce ou tout autre problème d'intégrité du signal). Les méthodes d'analyse des conséquences des fautes ciblent un certain niveau de description du circuit. Les niveaux sont généralement les suivants:

- le niveau physique (le layout du circuit et le modèle 3D d'un composant de base),
- le niveau électrique (ou le niveau transistor),
- le niveau portes logiques (des portes logiques interconnectées, avec ou sans des retro-annotations de temps de propagation),
- le niveau transfert de registres (RTL: niveau de description de plus en plus comportemental, à cycle d'horloge près)

-le niveau système (le niveau d'abstraction encore plus élevée, totalement comportemental, basé sur la description des fonctionnalités qui pourront éventuellement être partitionnées par la suite entre le matériel et le logiciel).

Les niveaux d'abstraction ne sont pas tous utilisés pour tous les types de composants. Les composants de base les plus rencontrés dans un système sont :

- les cellules de mémoire (RAM ou ROM), les cellules logiques de bibliothèque, les circuits analogiques,
- les blocs combinatoires,
- les blocs séquentiels,
- les circuits complets (avec une certaine hiérarchie, contenant du matériel et logiciel).

En prenant en compte à la fois le type de composant et les niveaux d'abstractions, les modèles de fautes considérées seront soit :

- des phénomènes transitoires simples (SETs) et multiples (MET), qui correspondent effectivement aux impulsions de courant ou de tension produites sur un nœud de circuit (un nœud de cellule mémoire, de bascule ou de porte logique).
- des erreurs soft (SEs), qui correspondent à des erreurs simples ou multiples produites par la capture dans une bascule d'une impulsion transitoire survenue dans un circuit combinatoire ou,
- des bit flip (SEUs), qui correspondent à des inversions de bit dans une cellule de mémorisation (mémoire; bascule), produites par une impulsion transitoire affectant un nœud de cette cellule.

Quelques fois le modèle de «collage transitoire (TSA) » peut être utilisé pour modéliser les transitoires. Dans ce cas, une durée de temps en picosecondes ou nanosecondes est associée à un collage classique (SA) pour les descriptions de bas niveaux (niveau logique), ou un nombre de cycles d'horloge ou des cycles d'échange de données dans les descriptions RTL ou système ou même un nombre de transactions si la modélisation est au niveau système.

Dans la figure suivante nous présentons des liens entre les origines de fautes et les modèles adoptés. La figure 3.1 ainsi que le tableau 3.1 présente le modèle typique de fautes considérées pour les différents types de composants et niveaux d'abstraction.

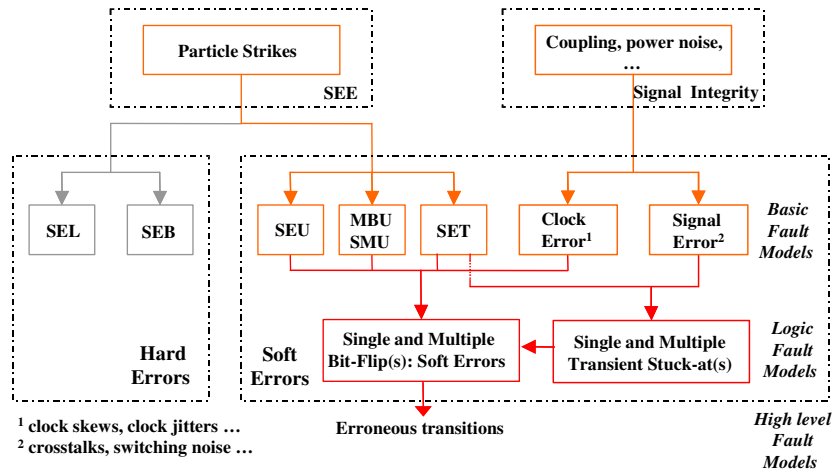


Figure 3.1: Modèles de fautes.

Il est à noter que le tableau 3.1 fait référence à la fois aux fautes transitoires résultant de l'impact des particules énergétiques, mais également aux autres phénomènes parasites, couplages, bruits, affectant les signaux, tels que présentés dans le premier chapitre. On présente par la suite le principe de génération des impulsions de courant provoquées par l'impact d'une particule, jusqu'à leur transformation en erreur d'application, à travers les différents niveaux d'abstraction.

Niveau d'abstraction	Cellule logique/mémoire	Block Combinatoire	Block Séquentiel	Mem. (RAM)	Système
Physique	SET (particule-> courant)	-	-	-	-
Electrique	SET (courant-> tension)	SET (propagation)	SET (mémorisation)	SEU (courant->bit-flip)	-
Logique	-	SET (propagation)	SET et SEU	-	-
Register Transfer	-	-	SEU et SE	SEU et SE	SEU et SE
Système	-	-	-	SEU et SE	SEU et SE

Table 3.1: Modèles de fautes versus type d'éléments et niveaux de description

Une cellule logique ou une cellule de mémoire élémentaire sera prioritairement analysée au niveau physique (dispositif modélisé 3D ou au niveau layout) par rapport à un phénomène transitoire de type génération de courant et de tension suite à un impact de particule. En l'absence du modèle du dispositif, cette analyse peut se faire au niveau électrique. Ceci afin

de pouvoir prendre en compte l'environnement 'bas niveau' du circuit, comme par exemple le fan out, les dimensions des transistors, les chutes de tension V_{DD} , etc.

Ensuite, la propagation de cette impulsion transitoire à travers les chemins de propagation peut être analysée aux niveaux électrique et logique, afin de prendre en compte les trois types de masquage. L'analyse au niveau logique est beaucoup plus rapide par rapport à l'analyse au niveau électrique, néanmoins, l'analyse électrique reste beaucoup plus précise. La seule analyse utile pour une cellule de mémoire reste celle au niveau physique ou, à défaut, électrique.

En allant plus vers l'apparition des erreurs d'application, il devient évident que si on veut prendre en compte la propagation d'une micro architecture à l'autre, d'un macro bloc séquentiel ou combinatoire vers l'autre, ceci ne peut se faire qu'à des niveaux d'abstraction plus élevés, en conséquence l'analyse sera effectuée au niveaux RTL ou système. On profite ainsi de la vitesse d'analyse grâce aux simulateurs plus puissants. Cependant il faut noter que ce type d'évaluation est le plus souvent très peu précis, et l'accès à tous les nœuds d'un système n'est pas garanti.

3.3. Liens entre les niveaux d'analyse

Si on se place au niveau de l'application, ce qui intéresse la plupart des équipementiers et de leurs clients est le nombre d'erreurs d'application et la probabilité qu'une telle erreur survienne. Dans ce cas il s'agit de calculer le nombre d'erreurs ainsi que la probabilité des erreurs d'application qui dépend de plusieurs probabilités (conditionnelles) :

- la probabilité d'erreur d'application, supposant qu'une erreur est apparue sur les nœuds du système matériel (modification d'un bit unique ou de plusieurs bits dans l'état de système). Ceci peut être évalué par des analyses à niveau RTL ou au niveau du système et la probabilité suivante peut être donc calculée : **P(failure|SE)**
- la probabilité qu'une erreur se produise dans l'état d'un système à cause d'une perturbation qui provient :
 - o soit d'un bit flip direct dans les cellules de mémoire du à l'événement original. Ceci peut être évalué par des analyses combinées entre l'analyse de l'interaction nucléaire ou électrique (en faisant appel à la physique nucléaire et du solide) avec la modélisation physique et électrique de la cellule de mémoire. **P(SE-SEU|particule)**
 - o soit de la propagation et de la capture des événements simples ou multiples- **P(SE|SET) ou P(SE|MET)**. Cette probabilité sera évaluée par des analyses combinées entre l'analyse de l'interaction nucléaire ou électrique (en faisant

appel à la physique nucléaire et du solide) avec la modélisation physique et électrique de la porte logique afin de déterminer la probabilité qu'une impulsion de tension donnée apparaisse à ces sorties, et ensuite par l'analyse au niveau électrique ou portes logique pour déterminer la probabilité de la propagation des transitoires jusqu'à une entrée de bascule ou à une sortie. Cette analyse prendra donc en compte tous les masquages évoqués précédemment.

- la probabilité d'apparition d'une impulsion transitoire à la sortie d'une porte due à l'événement original (par exemple l'impact de particule qui conduit à la l'apparition d'une impulsion de courant/tension d'une amplitude suffisante). **P(SET|particule)**. Ceci peut être évalué en fonction du type de l'événement et est relatif à l'environnement opérationnel du circuit en faisant appel à la physique nucléaire et du solide dans le cas des particules énergétiques. Dans le cas d'autres phénomènes parasites, il faudrait regarder l'impact du bruit considéré sur le temps de propagation de la porte, le niveau des courants, et l'apparition des parasites sur la/les sorties.

- Enfin pour que le calcul soit complet il faut regarder également le spectre de particules élémentaires et donc la probabilité qu'une particule énergétique donnée se trouve à un emplacement spécifique. (**P particule**). Par exemple, en fonction des coordonnées géographiques d'une ville (altitude, latitude, etc), le spectre des particules peut être créée. Ceci nous permet d'extraire le flux et la probabilité mentionnée.

En conclusion, la probabilité d'une erreur d'application produite à cause d'une certaine particule, d'une énergie et flux donné, peut être vue comme une combinaison de probabilités, selon la composition suivante :

$$\mathbf{P(failure): P(failure|SE) * [P(SE-SEU|particule) + P(SE|SET ou MET) * P(SET|particule)] * P(particule)}$$

Comme nous l'avons évoqué précédemment, toutes ces probabilités dépendent de beaucoup de paramètres et les résultats d'analyse dépendent également de la précision de la description du circuit et des modèles de fautes associés à chaque niveau choisi. Toutes ces analyses sont donc complémentaires, mais il n'est pas toujours facile de combiner leurs résultats.

La formalisation de ce domaine à été nécessaire car nous avons été confrontés à un manque d'information au fur et à mesure que nous nous sommes lancés dans ce travail. La publication IOLTS 2005 atteste de ce travail, ainsi que les participations aux écoles d'été

SERESSA 2005 et SERESSA 2006 et le papier invité de la conférence SEE 2006. Un chapitre de livre y est par ailleurs consacré, en profitant de la collaboration scientifique avec le groupe de recherche de Matteo Sonza Reorda, de Politecnico di Torino. En effet le problème d'évaluation des erreurs causés par les radiations a été très longtemps un souci pour les concepteurs des applications ASIC destinées au domaine spatial, avionique et nucléaire (ces composants sont souvent assez simples, n'ayant pas la complexité des circuits SOC). Alors, pendant longtemps les travaux de recherche s'arrêtaient le plus souvent à un problème de mesure et de calcul de la section efficace d'un composant électronique, voire la modélisation des impacts électroniques et nucléaires, ainsi qu'à la mise en place d'un modèle de défaillances locale. Récemment, avec l'avancement technologique, surtout après les années 2000, nombreuses équipes de recherche se sont investies dans un calcul plus global du phénomène d'erreurs d'application induites par les particules énergétiques, équipes ayant en général une vue de la conception beaucoup plus généraliste. Je tiens à souligner qu'au niveau des années 2000-2003 notre équipe de recherche a fait un travail de pionnier dans ce domaine scientifique.

Par la suite nous allons détailler la méthodologie d'analyse envisagée et développée dans notre laboratoire.

3.4. Evaluation de sensibilité au niveau physique

La première phase d'analyse évalue les effets d'un phénomène transitoire. Nous allons prendre pour exemple à nouveau le rayonnement cosmique. Plus spécifiquement l'analyse est liée à la compréhension de l'environnement cosmique ou terrestre des particules énergétiques et aux dimensions physiques des éléments de circuit. Ceci mène à une distribution probabiliste pour les quantités de charge déposées sur les nœuds d'un circuit sensible. L'impulsion de courant transitoire résultant d'un impact des particules énergétiques dépend de divers facteurs:

- du type de la particule, de son énergie, de l'angle de l'impact, de la distance du point d'incident de la particule par rapport au noeud sensible
- du type de la cellule : de son fonctionnement, et du dimensionnement et de la topologie des transistors d'une cellule ou d'un design
- de la capacité de sortie de la cellule ou d'un design.

La charge déposée dans le silicium par une particule d'une énergie donnée peut être trouvée dans des tables publiées dans la littérature. A partir de cette charge, il est possible de déterminer avec une bonne approximation quelle est la charge collectée sur un noeud sensible. Les simulations physiques sur des modèles de composants 2D/3D sont ainsi nécessaires pour établir des règles heuristiques afin d'estimer le pourcentage de la charge

injectée qui est collectée par un noeud sensible aussi bien que les durées du phénomène de collection de charge. Ceci, permettra de déterminer la durée et l'amplitude des l'impulsions de courant transitoires qui en résultent, alors que la forme de cette impulsion est bien approchée par une courbe de type double exponentielle. Suite à la caractérisation face aux différents types de particules énergétiques de chaque transistor, une famille de courbes de courants transitoires peut être obtenue à la sortie de chaque porte, cellule ou circuit analogique. Cette méthodologie est certes très intéressante, mais ne garantit pas que ceci puisse être fait en un temps modéré de simulation. Ainsi, les concepteurs peuvent ne pas être disposés à considérer cette évaluation du fait de son coût important. En conséquence, l'idée sera de créer un module de prédiction des courants transitoires en sortie d'une porte ou circuit donné, à partir de la caractérisation physique des transistors NMOS et PMOS (profile de dopage et mesh) et de la distribution et des propriétés de particules. Ce module fournira une évaluation approximative des paramètres des l'impulsions transitoires de n'importe quel type de porte élémentaire face aux impacts de particules énergétiques de type ions lourds. Il est important de noter que même avec une erreur allant jusqu'à 50% des valeurs des paramètres effectifs des l'impulsion transitoires, cette solution peut être employée par les concepteurs qui ne peuvent pas se permettre le coût très important de la simulation 2D/3D pour une grande bibliothèque de cellules.

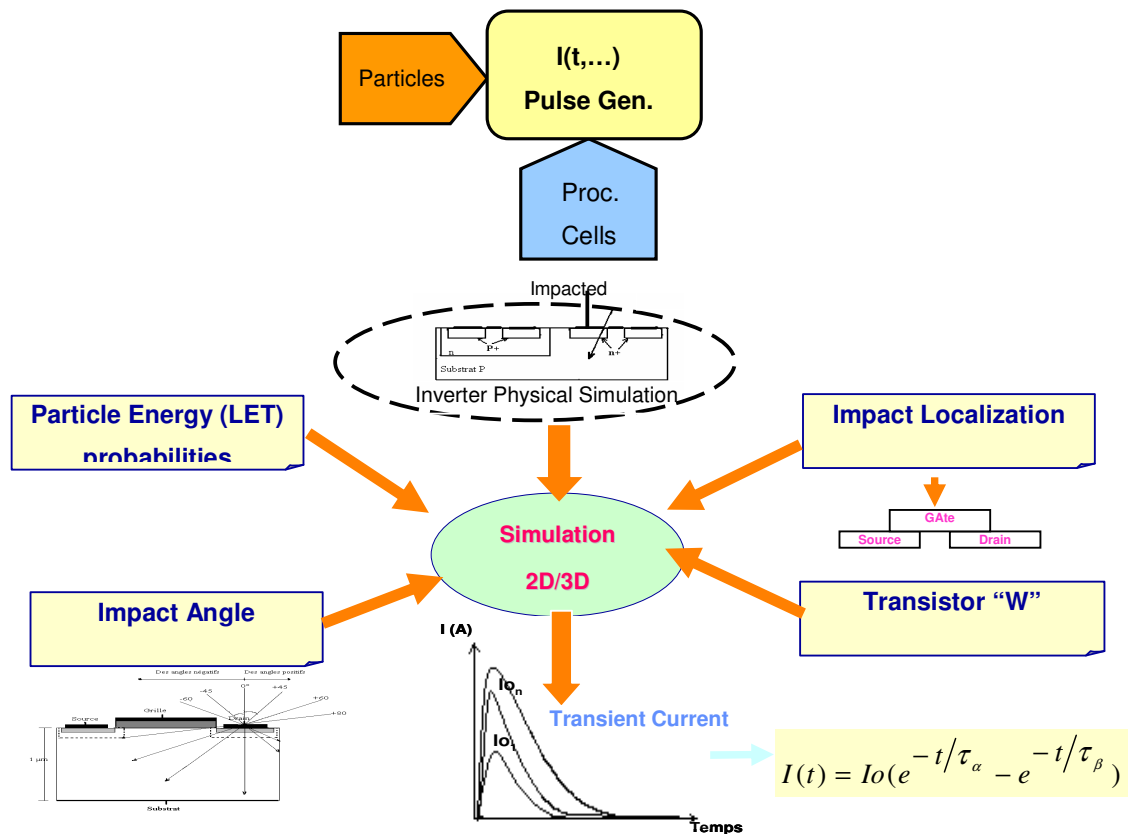


Figure 3.2. Méthodologie d'analyse 2D/3D d'un composant face à la radiation

La figure 3.2 montre un aperçu de la méthodologie de simulation au niveau physique, 2D ou 3D. Ces simulations, même en étant très longues et très consommatrices de ressources machine, restent très précises, le but étant d'obtenir une famille de courants en fonction des paramètres mentionnés. Il est évident que pour une bonne caractérisation le nombre de courants doit être très élevé et que par conséquent cette évaluation peut prendre des années, rendant aussi le travail de traitement de résultats très difficile.

Il est donc important de mettre en place une méthode différente, statistique, de traitement de résultats en fonction de l'amplitude maximum du courant et de sa durée. Ces probabilités doivent ensuite être associées avec chaque courant sélectionné. Ce type de travail a été effectué dans la thèse de Mme Susi Saleh pour des particules de type ions lourds (2001-2005), et très récemment sur des neutrons atmosphériques, dans les travaux de Mastère Recherche de Mme Claudia Rusu 2006, ainsi que lors du stage de Mastère Pro CSINA de M. Seddik Benhammadi et Chao Peng en 2006.

Pour la partie neutrons atmosphériques, une coopération scientifique avec le centre de recherche EADS a été mise en place afin d'obtenir directement la famille de courbes de courants à la sortie d'un circuit. En effet des simulations de type Monte Carlo d'interactions nucléaires (grâce à l'outil MCDASIE, propriété EADS [33][34]) permettent d'obtenir dans un temps plus court des millions de courants transitoires simples et multiples, avec les probabilités d'occurrence associées. Ces courants seront ensuite traités par des méthodes statistiques et des classifications en plusieurs types.

3.5. Evaluation de la sensibilité au niveau électrique (SPICE)

Une fois la classification des courants effectuée, des classes d'équivalence sont obtenues qui regroupent des courants ayant les mêmes caractéristiques du point de vue de la durée, de l'amplitude et de la forme. Un seul courant par classe est retenu pour la simulation au niveau électrique, avec comme probabilité la probabilité cumulée des courbes de courant de la classe.

Cette phase d'analyse concerne donc la caractérisation des portes logiques en prenant en compte les autres paramètres électriques qui n'ont pas pu être considérés dans l'analyse précédente. En effet, chaque circuit ou porte logique doit être simulé par rapport aux différentes capacités de sortie pour déterminer l'impulsion de tension transitoires en sortie de ces portes. En même temps des variations de la tension de seuil, les variations de la tension V_{DD} , les différents temps de montée, descente de la porte, capacités parasites, etc peuvent être intégrés pour une meilleure caractérisation. Les impulsions de courant transitoires obtenues à partir de la simulation 2D/3D ou suite au modèle de collection de charge simplifiée sont injectées dans les nœuds d'une cellule ou design afin d'obtenir la

famille correspondante des impulsions transitoires de tension et d'évaluer également la capacité de masquage électrique d'une porte ou d'un circuit.

Dans la figure 3.3 nous présentons le principe de la simulation au niveau électrique.

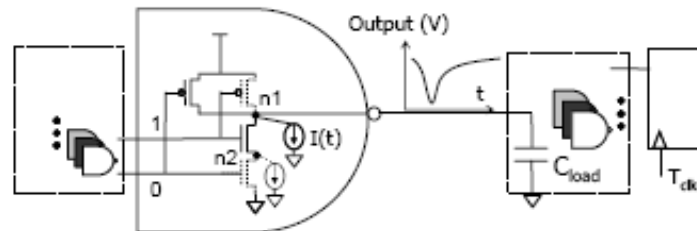


Figure 3.3. Principe de simulation des impulsions transitoires au niveau SPICE

L'injection des courants se fait dans chaque nœud du design ou de la cellule standard pour un certain nombre de capacités de sortie. Les impulsions transitoires obtenues en sortie de la porte dépendent fortement des vecteurs d'entrées. Pour une porte NAND, par exemple, les nœuds sensibles sont n1 et n2 pour le vecteur d'entrée « 10 », alors que seulement le nœud n1 est sensible pour les vecteurs « 01 ou 00 ». L'impulsion de tension de la sortie de la porte est ensuite mesurée à $V_{DD}/2$. Les impulsions trop courtes sont atténuées par le réseau de portes en aval alors que celles plus larges peuvent se propager à travers un réseau de portes.

Finalement, pour chaque porte ou circuit nous obtenons un tableau de durées des courants transitoires en sortie de porte, avec les probabilités d'occurrence respectives et ceci pour chaque vecteur d'entrées et chaque nœud. Un exemple de tableau pour une porte NAND est donné par la suite (tableau 3.2.), où Z1, Z2, Z3 sont les zones sensibles identifiées sur le layout (voir figure 3.4.), et a1 et a2 sont les entrées de la porte. STFI¹ et MTFI² sont les transitoires simples et multiples.

a ₁ a ₂	STFI			MTFI
	Z1	Z2	Z3	
00	-	-	185ps	203ps
01	-	-	337ps	289ps
10	-	300ps	367ps	434ps
11	-	-	-	-

Tableau 3.2. Durée des courants transitoires simples et multiples à la sortie d'une porte NAND en technologie 130nm

¹ STFI – Single Transient Fault Interaction

² MTFI – Multiple Transient Fault Interaction

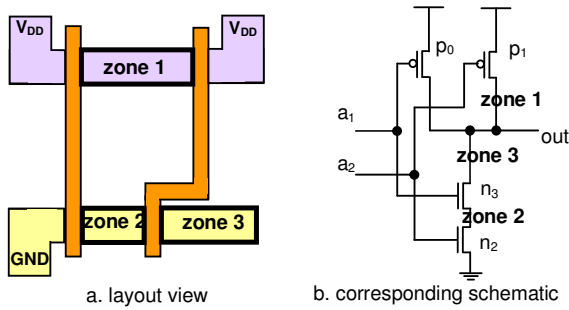


Figure 3.4. Les zones sensibles de la porte NAND, vue layout et électrique

En ce qui concerne les statistiques de défaillance pour les fautes transitoires simples et multiples, quelques résultats à titre d'exemple sont donnés dans le tableau 3.3. Les courants injectés sont produits par des particules énergétiques avec une énergie se situant entre 1 et 200MeV. Les quatre premières lignes montrent la probabilité d'apparition d'une faute transitoire sur la sortie de la porte en fonction de la combinaison d'entrée et par zone sensible, alors que la ligne 5 présente la probabilité globale d'apparition de fautes transitoires de la porte considérée quelque soit le vecteur d'entrée. La dernière ligne montre la durée maximale d'une faute transitoire simple et multiple à la sortie de la porte.

Failure rate	STFI			MTFI
	Z1	Z2	Z3	
$a_1 a_2 = 00$	0	0	6.21E-13	6.43E-13
$a_1 a_2 = 01$	0	1.48E-14	6.72E-13	6.98E-13
$a_1 a_2 = 10$	0	6.12E-14	6.70E-13	9.28E-13
$a_1 a_2 = 11$	5.71E-13	0	0	5.71E-13
global	1.43E-13	1.56E-13	4.91E-13	7.10E-13
dt_{max}	364.97ps	530.54ps	600.52ps	712.85ps

Tableau 3.3. Taux de défaillance de la porte NAND (une défaillance est représentée par une impulsion transitoire en sortie de la porte NAND).

Au final, chaque porte ou circuit peut être caractérisé de la même façon.

Notons aussi que cette évaluation ouvre la voie à des études de prédiction de sensibilité des circuits analogique, et mixtes, RF et MEMS.

Ce type de caractérisation a été proposé dans la thèse de Susi Saleh, et a été par la suite utilisée dans l'étude de la sensibilité des circuits analogiques, plus particulièrement des PLL, dans le cadre de la thèse de Cristiano Lazzari. Deux publications reprennent le

principe d'analyse (IOLTS 2006 et IOLTS 2007) et un chapitre de livre, alors que trois publications ont été réalisées sur évaluation de sensibilité des circuits analogiques (VLSI SOC, IOLTS 2006, LATW 2006).

3.6. Evaluation de la sensibilité au niveau logique

Cette méthode utilise naturellement les résultats obtenus précédemment. En effet, on utilise un simulateur logique afin d'analyser la propagation d'une impulsion transitoire dans un circuit combinatoire et séquentiel et son éventuelle transformation en erreur. L'évaluation du taux de transformation d'une impulsion transitoire en erreur logique passe par des simulations logiques avec des injections des fautes. L'impulsion transitoire (courbe de tension) est approximée par une impulsion transitoire logique (valeur de 0 ou 1) d'une durée égale à la durée de l'impulsion transitoire mesurée à $V_{DD}/2$, et injectée dans les nœuds sensibles, en occurrence dans tous les nœuds d'une netlist.

Cette simulation permettra d'estimer les facteurs de masquage décrits en introduction de ce chapitre et de les prendre en compte pour le calcul final de la probabilité de transformation d'une impulsion en erreur logique.

Les facteurs qui affectent les possibilités d'une impulsion pour se propager à travers les portes logiques et provoquer une erreur logique sont les suivants (figure 3.5) :

- **Masquage logique,**

- **L'atténuation temporelle de l'impulsion**[31]. Ce phénomène est fortement dépendant de la profondeur de logique du circuit séquentiel. En plus, nous observons que une atténuation de l'impulsion transitoire par les interconnexions en plus des portes logiques, donc l'aspect temporel du circuit devrait être soigneusement considéré. Des différences allant jusqu'à 50% ont été observées dans l'évaluation de la sensibilité entre le circuit synthétisé et le circuit placé routé. En outre des analyses de variation de P, V, T devraient être rajoutées en même temps pour assurer une bonne qualité de la prévision.

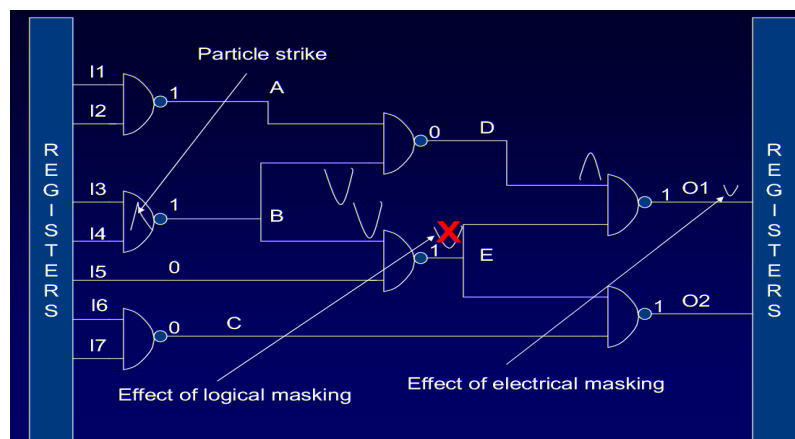


Figure 3.5. Phénomènes de masquage temporel et logique dans un circuit synchrone

- **La fenêtre de vulnérabilité**, ou le masquage dû au front actif de l'horloge (voir figure 3.6.)

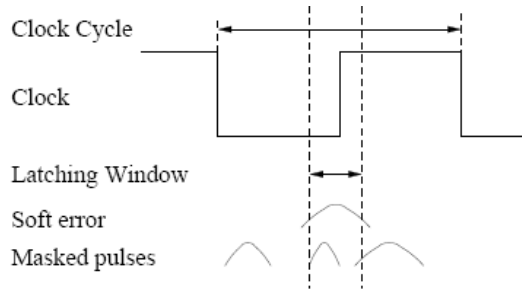


Figure 3.6. Masquage de type fenêtre de vulnérabilité

La probabilité de capturer une impulsion transitoire peut être calculée, ainsi que la largeur de la fenêtre de vulnérabilité. Elle peut être directement intégrée dans des modèles, ou bien elle peut être obtenue par la simulation logique.

Les tendances technologiques diminuent les masquages de manière significative en particulier ceux liés aux aspects temporels et à la fenêtre de vulnérabilité. Les trois facteurs de masquage doivent être considérés indépendamment dans le calcul de taux d'erreurs. Deux d'entre eux peuvent être facilement calculés à l'aide de formules mathématiques relativement simples à mettre en pratique [35] mais en ce qui concerne l'atténuation temporelle, il est encore difficile de déduire un calcul analytique statistique.

Afin de régler ce problème nous avons développé une méthodologie de simulation avec injection de fautes qui permet facilement de calculer directement la probabilité globale qu'une faute transitoire quelconque, d'une durée quelconque se transforme en erreur logique. En d'autres termes, nous allons pouvoir établir une liste de probabilités d'erreurs par bascule et par sortie en fonction des durées de fautes considérées (voir le tableau 3.4 qui donne un exemple de ce tableau).

Latches/ registers	Probability of error	Probability of error
	Transient duration 50ps	Transient duration 100ps
Latch1	ex. 1,5%	ex. 4%
Latch2	ex. 10%	ex. 24%...
Latch3	...	
...		

Tableau 3.4 Exemple de probabilités de transformation de transitoires en erreurs logiques

Ces informations seront utilisées par la suite dans les niveaux de simulation RTL et Système. La structure de l'outil qui permet cette évaluation est présentée dans la figure 3.7.

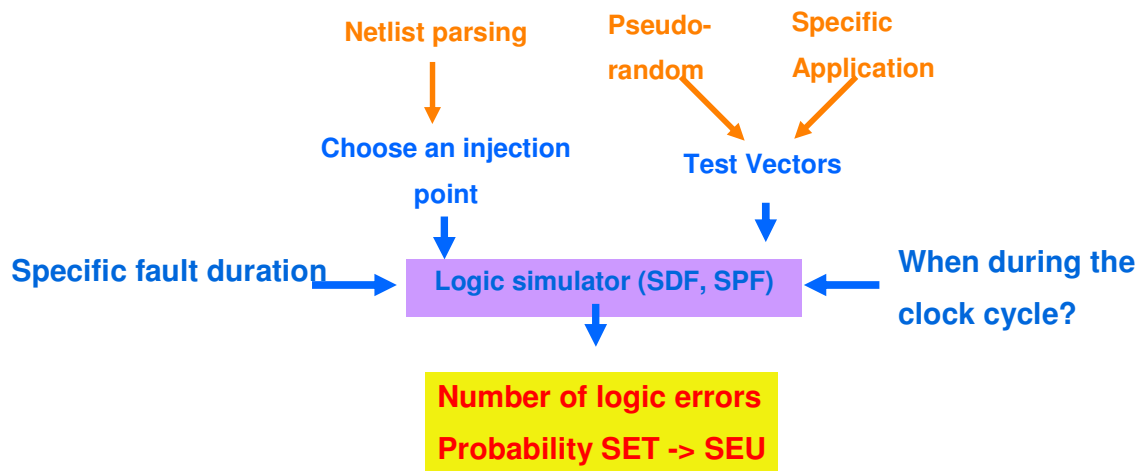


Figure 3.7 Méthodologie de simulation de fautes transitoires au niveau portes

Ce module d'évaluation qui accepte tout type de vecteurs d'entrées, aléatoires ou déterministes, provenant d'une applications, permet d'effectuer des injections de fautes dans n'importe quel nœud de la netlist, porte logique ou bascule, et permet le choix de la durée de la faute ainsi que de l'instant d'injection dans le cycle d'horloge.

Ce travail a commencé pendant ma thèse de doctorat entre 1997-2000, et une partie de l'automatisation a été réalisée pendant le travail de DEA de M. Dan Alexandrescu en 2000, et a fait l'objet du transfert technologique vers la compagnie IRoC Technologies en 2001. Il existe aujourd'hui chez IRoC Technologies un outil amélioré et plus performant s'appelant ROBAN.

Dans la thèse de Mme Susi Saleh, cette méthodologie de simulation a été améliorée et utilisée sur ces circuits complexes à base de microprocesseur. Nous avons utilisé le microprocesseur Motorola mc6800, disponible dans le laboratoire. A partir des résultats de simulation, une cartographie de sensibilité d'un circuit complexe est réalisée. Cette cartographie nous permet de déterminer les zones les plus sensibles du circuit étudié et éventuellement de décider d'un durcissement ponctuel des portes sensibles.

3.7. Evaluation de la sensibilité au niveau RTL et système

Ces types d'analyses nommées aussi analyses haut-niveau, partent d'une description comportementale de circuit, l'injection de fautes étant faite dans les objets accessibles par ces descriptions. L'avantage évident est une diminution importante du temps de simulation

tout en pouvant analyser correctement les conséquences des erreurs sur l'application même [47][48][49][50][51]. Je n'ai pas travaillé sur ces types d'analyse de sensibilité. Néanmoins, je considère important de les mentionner dans ce manuscrit pour donner une vision complète des méthodes de simulation utiles pour caractériser des circuits complexes face au phénomène des erreurs softs.

3.8. Bilan du chapitre

Nos travaux de recherche dans ce domaine ont commencé pendant ma thèse de doctorat, en se poursuivant par le stage de DEA de M. Dan Alexandrescu en 2000 et par une thèse effectuée entre 2001 et 2005, Mme Susi Saleh. Une première version d'un outil d'évaluation de sensibilité a fait l'objet d'un transfert industriel vers la société IRoC Tehnologies, et 2001. Le travail concernant la simulation à plusieurs niveaux d'abstraction se développe grâce à nos implications dans le projet MEDEA+ Parachute dont je suis la coordinatrice au laboratoire TIMA. Cette recherche nous a permis de valider nos méthodologies et les outils créés dans un environnement industriel, grâce à l'implication des compagnies comme EADS, Atmel et Alcatel dans ce projet.

3.9. Perspectives

Par la suite notre travail d'évaluation du taux d'erreurs dans le contexte de l'application se concentre autour des méthodologies d'injections de fautes multiples dans des circuits complexes. En effet, avec les nouvelles technologies, nous assistons à une augmentation des phénomènes transitoires multiples à partir de la même source nuisible. Ainsi le travail mené dans le cadre du projet MEDEA Parachute cherche à proposer des nouvelles méthodologies rapides pour l'analyse des fautes multiples.

Les articles les plus significatifs pour ce chapitre sont les suivants :

- C. Rusu, A. Bougerol, L. Anghel, C. Weulense, N. Buard, S. Benhammadi, N. Renaud, G. Hubert, F. Wrobel, T. Carriere, R. Gaillard "Multiple Event Transients Induced by Nuclear Reactions in CMOS Logic Cells" in Proceedings of 13th IEEE On Line Testing Symposium, Crete, July 2007
- A. Ammari, L. Anghel, R. Leveugle, C. Lazzari, R. Reis, " SET Fault Injection Methods in Analog Circuits: Case Study", in Proceedings of 9th IEEE Latin American Workshop, March 2007, Peru
- G. Hubert, A. Bougerol, T. Carriere, N. Buard, L. Anghel, "Prediction of Transients Induced by neutrons.Protons in CMOS Combinational Logic Cells", in IEEE Inetrnational On Line Testing Symposium, July 2006, Como, Italy
- L. Anghel, R. Leveugle, P. Vanhauwaert "Evaluation of SET and SEU Effects at Multiple Abstraction Levels", in Proceeding of 11th IEEE International On Line Testing Symposium, San Raphael, July 2005.

- D. Alexandrescu, L. Anghel, M. Nicolaidis, « New Methods for Evaluating the Impact of Single Event Transients in VDSM ICs », Proceedings of 17th, Defect and Fault Tolerance for VLSI Systems, Vancouver, Canada, November 2002.
- D. Alexandrescu, L. Anghel, M. Nicolaidis, “Simulating Single Event Transients in VDSM ICs for Ground Level Radiation”, 3rd IEEE Latin-American Test Workshop, Montevideo, Uruguay, February 2002
- L. Anghel, D. Alexandrescu, M. Nicolaidis «Evaluation of Soft Error Tolerance Technique Based on Time and/or Space Redundancy » Proceedings of XIII Symposium on Integrated Circuits and Systems Design (SBCCI 2000), Manaus, Bresil, September 2000.
- C. Lazzari, L. Anghel, R. Reis, “A Case Study on Phase-Locked Loop Automatic Layout Generation and Transient Fault Injection Analysis”, accepté pour publication dans le Journal of Electronic Testing and Testable Applications, prévue à paraître en Août 2007.
- D. Alexandrescu, L. Anghel, M. Nicolaidis, “Simulating Single Event Transients in VDSM ICs for Ground Level Radiation”, in Journal of Electronic Testing and Testable Applications, August 2004.

Chapitre 4. Systèmes complexes fiables à base de nanotechnologies

L'évolution de la microélectronique vers les technologies nanoélectroniques, bien engagée ces dernières années, devrait conduire à une nouvelle révolution au sein des industries électroniques d'ici 2020. Cette évolution pourrait se faire par des approches aussi diverses que l'utilisation dans les systèmes de calcul de molécules spécifiques, ou de l'ADN, l'implantation de « bits quantiques », etc. Les dispositifs à base de transistors FET construits sur des supports de type nanotubes de carbone ou CNTFET (Carbon NanoTube Field Effect Transistor) sont considérés des candidats très prometteurs, du fait de leur grande densité d'intégration, leur grande ressemblance aux dispositifs à base de MOSFETs en ce qui concerne les caractéristiques I-V, leur niveau important de courant de conduction directe I_{ON} , leur faible courant inverse I_{OFF} (on note au passage un rapport important entre les courants en conduction directe et inverse I_{ON}/I_{OFF}), ainsi que leur faible consommation de puissance.

Comme noté précédemment (cf. Chapitre 1), ces nouveaux dispositifs ont des probabilités de défautuosité très élevées lors de la fabrication. De manière globale, ces nouvelles technologies ont une fiabilité beaucoup plus faible par rapport à celle des dispositifs CMOS utilisés aujourd'hui. En plus des défauts de fabrication, ces dispositifs ont également une grande dispersion de caractéristiques, étant très sensibles au bruit. Pour l'instant l'utilisation de ces dispositifs dans la conception des portes logiques et des systèmes complexes reste discutable. Dans ce contexte, nous avons débuté en 2004 (grâce à la participation au projet national ACI Nanosys) une étude de faisabilité d'architectures intégrées complexes à base de CNTFET, en prenant en compte la très faible fiabilité de ces dispositifs.

Dans ce domaine, nous avons commencé nos recherches par une étude de fonctionnalité de transistors CNTFET, en prenant en compte des modèles compatibles SPICE, créés par des centres de recherche partenaires du projet ACI Nanosys à l'aide de langages de modélisation HDL. Ensuite nous nous sommes concentrés sur l'étude du comportement des portes logiques simples à base de ces dispositifs en analysant dans un premier temps leur caractéristiques statiques et dynamiques de référence et en les comparant aux CMOS. Dans un deuxième temps ces mêmes caractéristiques ont été analysées en présence de défauts de fabrication, dispersions paramétriques et fautes transitoires. Enfin nous nous sommes concentrés sur le développement des techniques de

tolérance aux fautes matérielles à faible coût, adaptées pour ces portes logiques. Pour conclure, nos recherches s'orienteront vers la proposition d'outils d'analyse de fiabilité basés sur l'injection de fautes, et d'outils de conception de systèmes complexes ciblant des structures régulières robustes.

4.1. Du nanotube de carbone au transistor CNTFET

Les études théoriques et expérimentales concernant les CNTFET ont démontré que ces dispositifs ont d'excellentes propriétés électriques, telles qu'une mobilité des électrons élevée et une trans-conductance importante. En plus, ils présentent également une grande ressemblance avec les dispositifs à base de MOSFETs du point de vue des caractéristiques I-V, ayant comme avantage un niveau important de courant de conduction directe I_{ON} et un rapport de courants en conduction directe et inverse I_{ON}/I_{OFF} important, ainsi qu'une plus faible consommation de puissance.

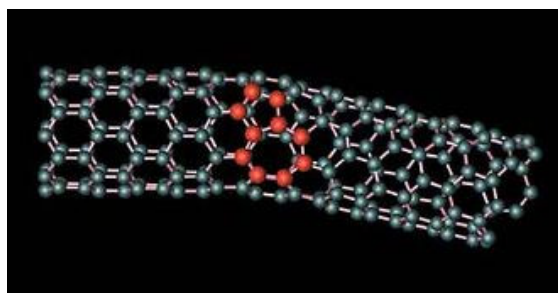


Figure 4.1. Couche de graphite pliée et roulée dans un tube

Un nanotube de carbone est en effet une couche de graphite pliée et roulée dans un tube. Ces tubes peuvent avoir des structures hélicoïdales différentes, chaque structure ayant des propriétés électriques uniques, dépendantes de la manière dont les atomes de carbone s'arrangent dans la structure hélicoïdale et du diamètre du tube. Ils peuvent donc avoir des propriétés de type semiconducteur ou métal. En théorie les nanotubes métalliques ont une densité de courants 1000 fois plus élevée que les interconnexions de cuivre et argent. Des défauts peuvent apparaître dans les vacances atomiques, des pentagones ou heptagones peuvent se former à la place des hexagones, générant une tension mécanique de chaînes plus faible.

Structure du CNTFET : Un transistor à effet de champ comprend deux électrodes "source" et "drain" connectées par un SWCNT¹. Le nanotube joue le rôle de canal. Une troisième électrode, la grille, est séparée du canal par un film isolant mince. En fonction de la position

¹ SWCNT – Single Wall Carbon Nanotube Transistor

de la grille, il y a cinq types de CNTFET : bottom-gated CNTFET, top-gated CNTFET, planar-gated CNTFET, vertical CNTFET et electrolyte-gated CNTFET.

Conductivité et dopage des CNT [36] : Le transport des électrons en CNT métallique est balistique par nature, ce qui signifie que les électrons se déplacent avec une plus grande vitesse que celle attendue dans des conditions d'équilibre thermique. La conductivité des CNT semi-conducteurs est généralement décrite par les lois de la diffusion physique classique. Les premiers CNTFET ont été de type P, les porteurs étant des trous et les composants sont en conduction directe lorsqu'ils sont polarisés avec une tension négative. Les CNT peuvent être dopés de plusieurs manières avec des porteurs positifs pour devenir des semi-conducteurs de type N. Les nanotubes de type P peuvent être exposés sur un composé qui fournit des électrons, par exemple des métaux alcalins. Le moyen le plus facile de réaliser la transformation est de chauffer le nanotube de type P. La structure d'un CNTFET est montrée en figure 4.2.a. Il nécessite un alignement précis des barrières Schottky (SB) et de l'électrode de porte, qui peut poser un certain problème de fabrication. Dans ce type de CNTFET, la porte va moduler la transmission de tunnel entre la source – métal et le canal du nanotube. SB-CNTFETs présente une caractéristique ambipolaire qui limite l'utilisation de ces transistors dans des implémentations de type CMOS classiques, car les CNTFETS vont convertir leurs fonctionnalités du n-type vers p-type et vice versa en fonction de la polarisation de la porte.

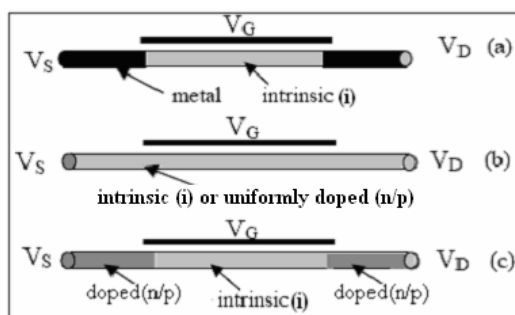


Figure 4.2. Trois types de CNTFETs (a) barrière Schottky, (b) partially-gated and (c) S/D dopé.

Les transistors « Partially Gated » (PG-CNTFETs) sont présentés en figure 4.2.b. Ils sont uniformément dopés (soit n soit p) et possèdent des contacts ohmiques. Ils fonctionnent en mode déserté, par une tension appliquée positive, la porte desserte localement les porteurs et arrête la conduction du nanotube. Pour un CNTFET intrinsèque, il fonctionne en mode accumulation et relève un comportement de type unipolaire n ou p.

Les CNTFETs dopés S/D présentés dans la figure 4.2.c sont composés de deux portions légèrement ou fortement dopés n/p. Le courant ON est limité par la quantité de charge qui pourrait être introduite dans le canal par la porte, et non pas par le dopage de la source. Ils opèrent dans un mode purement d'accumulation n ou p, ou dans le mode déserté en se basant sur le principe classique de modulation de la hauteur de la barrière de potentiel par

une source de tension appliquée sur la porte. Ces derniers CNTFETs sont les plus prometteurs: (1) ils n'ont qu'une caractéristique unipolaire; (2) l'absence de la barrière Schottky réduit le courant de fuite; (3) ils sont plus facilement scalables que les CNTFET avec barrière Schottky; (4) en conduction directe la jonction source- canal a un courant direct plus important. Ils ont toutefois des inconvénients car le dopage contrôlé est difficile à mettre en place pour l'instant, car les ions dopants peuvent détruire le maillage du tube de carbone.

En fonction du profil de dopage du nanotube, il existe deux types de CNTFET. Premièrement, des CNTFETs avec des dopages p/i/p ou n/i/n qui ressemblent aux CMOS conventionnels, aussi appelés C-CNTFETs. Le problème de ces transistors est le phénomène de pile dans le canal, lorsque le nanotube est réduit, qui peut réduire à son tour le rapport I_{ON}/I_{OFF} . Un deuxième CNTFET avec un dopage n/i/p, appelé aussi tunneling (T) CNTFETs, fonctionne par le mécanisme de tunnelling band-to-band. Ce dispositif élimine le phénomène de pile ayant comme avantage une meilleure vitesse de commutation et une puissance consommée acceptable.[37]

Le tableau 4.1 montre une brève comparaison de ces types de transistors CNTFET, où toutes les données ont été mesurées sur un seul transistor CNTFET et normalisées à une largeur de transistor de (2d).

TABEAU I. COMPARAISON DES TROIS TYPES DE CNTFET

Property	SB-CNTFET [41]	PG-CNTFET[39] [36]	C-CNTFET [40][38]
Diametre	~1.4nm	~1.4nm	~1.6nm
Position de la grille	top	local	top
t_{ox} (nm)	15	4	8
Dielectrique	ZnO ₂	Al ₂ O ₃	HfO ₂
S/D metal	Ti	Ti	Pd
CNT longueur	260nm	600nm	80nm
V _{ds} (V)	0.5	0.5	0.5
I _{ON} (μA/μm)	535	71	2500
I _{on} /I _{off}	10 ⁴	10 ⁴	10 ⁶
S (mV/dec)	n-type:312 p-type:130	p-type:63	n-type:80 p-type:70
g _m (S/μm)	p-type:1160	-	n-type:6250 p-type:3125
V _{th} (V)	n-type:0.3 p-type:-0.5	p-type:-0.5	n-type:~-0.6 p-type:~0.5

A part les structures planaires présentées précédemment, quelques auteurs proposent un concept de transistor vertical, ou V-CNTFET réalisé sur une porte coaxiale.

Ce transistor est très prometteur, il permet la réalisation des circuits 3D prévus par ITRS pour l'année 2016 [42]. La comparaison entre un V-CNTFET et un transistor MOS de

l'année 2016 est donnée dans le tableau 4.2. Toutes les données du CNTFETs dépassent celles du transistor Si MOSFET. Un V-CNTFET fournit deux fois plus de courant direct par rapport au Si CMOS à 0.4V et une transconductance 15 fois plus importante.

TABEAU 4.2. COMPARAISON DE V-CNTFET ET 2016-MOSFET

Characteristic	V-CNTFET	MOSFET (2016)
Vdd (V)	0.4	0.4
Drive current ($\mu\text{A}/\mu\text{m}$)	2500	1500
g_m ($\mu\text{S}/\mu\text{m}$)	15000	1000
t ($C_{\text{gate}} \cdot V_{\text{dd}} / I_{\text{dd}}$) (ps)	0.08	0.15
S (mV/dec)	65	70
Leakage ($\mu\text{A}/\mu\text{m}$)	2.5	10
Effective t_{ox} (nm)	1	0.4–0.5

Les transistors basés sur le C-CNT ont d'excellentes propriétés par rapport à celles des MOSFET. La stabilité et la conductivité élevées des Single Walllet CNT produisent un excellent comportement des CNTFET. Les densités élevées de courant direct sont de 2100mA/mm, par rapport aux 650 mA/mm des MOSFET dans les mêmes conditions.

La longueur de canal d'un CNTFET peut être réduite jusqu'à 5 nm. Au delà, à température ambiante, le courant de fuite est trop grand, à cause de l'effet tunnel. La tension de seuil d'un CNTFET est beaucoup plus basse que celle d'un MOSFET. Un autre avantage du CNTFET est que le rapport $I_{\text{ON}}/I_{\text{OFF}}$ atteint 10^6 .

4.2. Nanotubes de Carbone : Modèle Compact

Le mécanisme de transport dans un CNTFET est considéré comme étant balistique pour tous les types de tensions, y compris les tensions faibles. Ceci suppose que les dispersions sont inexistantes dans le canal, et que tous les porteurs arrivent vers le drain sans être réfléchis. La figure 4.3 présente le modèle du schéma électrique d'un CNTFET.

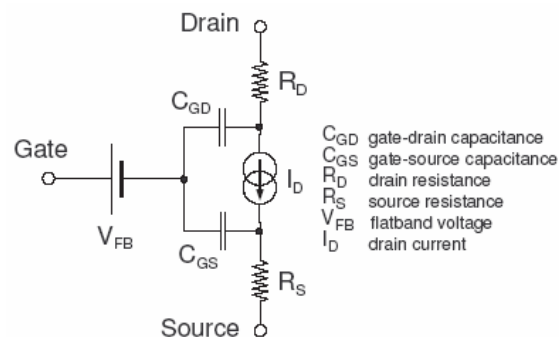


Figure 4.3. Schéma du CCNTFET [43]

Dans le cas d'un CNTFET de type n dopé en S/D (Fig. 4.4), la source et le drain sont très dopés en n+ et un potentiel électrostatique se crée. Une tension positive appliquée sur la

grille diminue la barrière de potentiel créée et le courant commence à apparaître dans le canal. Ce courant est la somme de tous les participations de courants dans les subbandes de conduction, et donné par l'équation suivante :

$$I_D = \frac{4ek_B T}{\hbar} \sum_p [\ln(1 + \exp(\frac{V_{CNT} - \Delta_p}{k_B T})) - \ln(1 + \exp(\frac{V_{CNT} - \Delta_p - V_D}{k_B T}))] \quad \text{où: } \Delta_p \text{ – niveau d'énergie pour la sub bande } p \text{ level; } k_B \text{ and } \hbar \text{ - constantes de Boltzmann et Planck; } V_D \text{- tension de drain; } e \text{ – charge d'électrons}$$

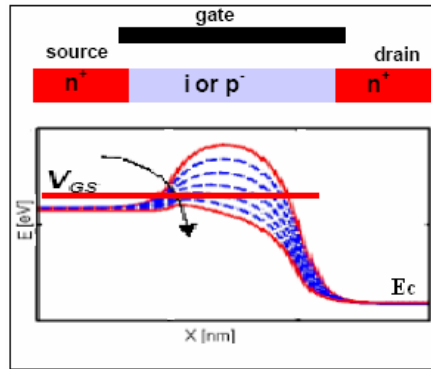


Figure 4.4. Illustration of the n-type doped-S/D CNTFET.

Le potentiel de surface V_{CNT} est défini par quatre capacités différentes : de drain (C_{GD}), de source (C_{GS}), qui relie les charges dans le canal au potentiel de surface, capacité quantique (C_Q) et de grille (C_G). Comme C_G est beaucoup plus importante par rapport aux autres, la capacité totale est majorée par la capacitance quantique. Ces capacités sont calculées selon les formules suivantes :

$$C_{GS} = \sum_p \alpha_1 * \log[1.0 + \alpha_2 * \exp(\frac{\xi_{Sp}}{0.96})]^{0.96}$$

$$C_{GD} = \sum_p \alpha_1 * \log[1.0 + \alpha_2 * \exp(\frac{\xi_{Dp}}{0.96})]^{0.96}$$

où:

$$\alpha_1 = 1,2 * (0,34 * \Delta_1 + 1,0);$$

$$\alpha_2 = -5,3 * \Delta_1^2 + 10,0 * \Delta_1 + 1,0) / \alpha_1;$$

$$\xi_{Sp} = (k_B T / e) * (V_{CNT} - \Delta_p);$$

$$\xi_{Dp} = (k_B T / e) * (V_{CNT} - \Delta_p - V_{DS});$$

et: Δ_p – énergie de la subbande p^{th} ; k_B la constante de Boltzmann; V_{DS} - tension de drain.

La fréquence théorique intrinsèque de coupure (f_T) pour un CNTFET approche la valeur maximale de **130GHz/L** (L: longueur du canal en μm). Elle est limitée par les capacités (C_{GS}, C_{GD}), mais également par $C_{GE} \equiv C_{ox}$. Dans la référence [44], f_T vaut sensiblement **80GHz/L**.

Plusieurs modèles statiques et dynamiques de CNTFET ont été développés et présentés dans la littérature, modélisant un comportement unipolaire et ambipolaire de ces structures [39][44]. Ils considèrent le canal comme intrinsèque, les zones d'accès fortement dopées n/p étant en même temps les contacts. Deux résistances de contact sont rajoutées ($R_{S,D}$) afin de modéliser les résistances d'accès de la source et du drain.

Souvent dans ces modèles certains paramètres sont approximés et extraits de courbes de mesures, étant donc des modèles semi-rigides ne permettant pas une grande flexibilité d'analyse de comportement. Certains modèles permettent une variation de diamètres dans une plage de 1-3nm, d'autres donnent les diamètres en valeur numérique, de même pour les résistances de contact, par exemple. Ces modèles sont généralement développés dans des langages faciles à manipuler par les concepteurs de circuits et systèmes complexes (VHDL AMS et Verilog A), afin de s'insérer facilement dans le flot de conception actuel. Dans le cadre du projet ACI Nanosys nous avons pu profiter de trois modèles compacts offerts par les participants (ENST Paris, Laboratoire IMS Bordeaux, Laboratoire INESS de Strasbourg). La figure 4.5 donne un aperçu du modèle SPICE statique et dynamique développé par INESS Strasbourg.

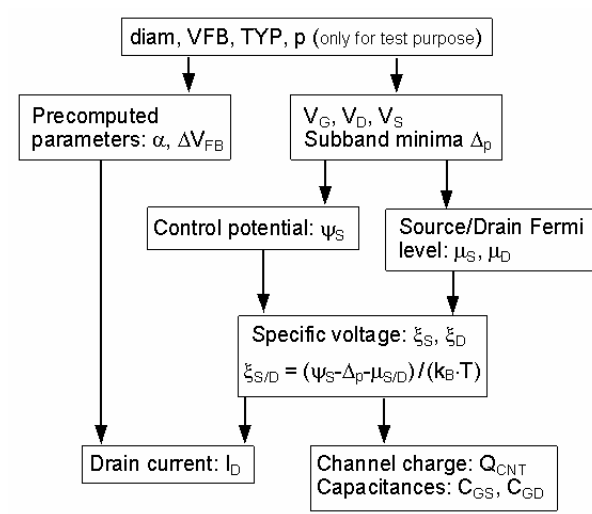


Fig. 4.5. Structure du modèle compact InESS CNTFET.

4.3. Nanotubes de Carbone : portes logiques et éléments de mémorisation

Plusieurs portes logiques et éléments de mémorisation basés sur le CNTFET ont été fabriqués dans les centres de recherche, les plus importantes sont présentées dans ce qui suit.

Mémoires : A partir des CNTFET planaires, Adrians Bachtold et al.[45] ont proposé une cellule mémoire de type (SRAM). Elle est composée de deux inverseurs et elle est réalisée en schéma « resistor-transistor » à base de CNTFET

Inverseur [36] : Les chercheurs du groupe IBM, ont fabriqué en 2001, un inverseur en utilisant deux CNTFET séparés. Les deux CNTFET sont connectés afin de réaliser un CNTFET complémentaire comme dans CMOS, figure 4.6.

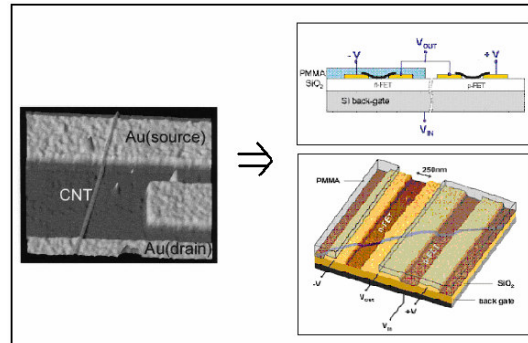


Figure 4.6. Du CNTFET aux inverseurs de type CMOS: inverseur inter-moléculaire et intra-moléculaire[36].

On fait construire un inverseur en attachant ensemble un CNTFET de type N et un CNTFET de type P. La porte inverseur fonctionne exactement de la même manière que celle des CMOS traditionnelles. A partir de cette réalisation, la faisabilité des portes NAND et NOR a été également prouvée. A partir des portes inverseur, NAND et NOR tout autre circuit logique peut être implémenté dans un réseau régulier.

Inverseur basée sur l'intra-moléculaire [36] : Cependant, l'intégration ultime de CNTFET devrait être basée sur les portes logiques en utilisant le même nanotube, c'est à dire en construisant une porte logique intra-moléculaire. V. Derycke et al. [36] ont aussi construit un inverseur intra-moléculaire dont une partie du nanotube agit comme un CNTFET de type P et l'autre partie comme un CNTFET de type N. Le dispositif complet a été préparé comme montré à la fig. 4.6. Ceci permet donc, d'intégrer de multiples portes pour créer des circuits plus compliqués. L'expérimentation récente a prouvé qu'on peut monter jusqu'à 15 transistors sur le même nanotube sans interférences. La capacité à ajuster la position relative aux tensions de seuil en choisissant une dose appropriée de dopage des transistors permet une transition beaucoup plus précise de l'état haut à l'état logique bas.

Porte NAND [1] : Benjamin Gojman et al. de l'université de Californie – USA, ont proposé, en 2004, un modèle de porte NAND utilisant un CNT avec une jonction en Y. Tous les circuits logiques peuvent être réalisés par une combinaison de portes NAND. Ainsi leurs

propositions ouvrent la possibilité de réaliser un circuit intégré basé sur SWCNT. Cependant, la réalisation de ce nouveau dispositif reste un défi.

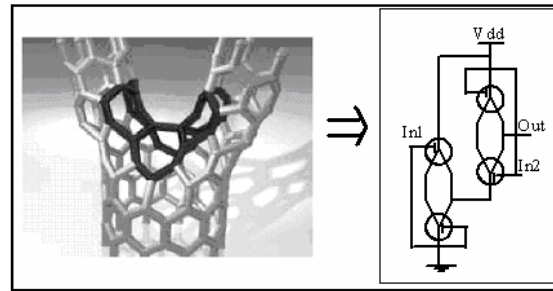


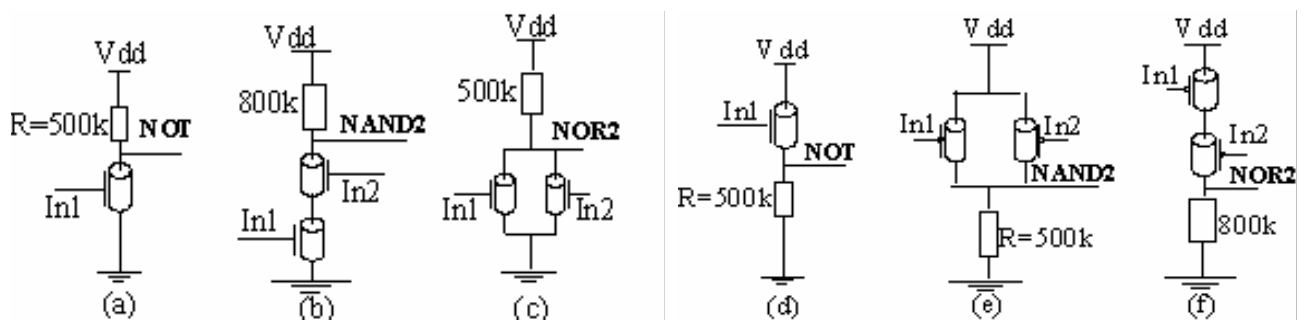
Figure 4.7 SWCNT avec jonction en Y et porte NAND à base de SWCNT à jonction en Y [1]

Les SWCNT avec jonction en Y sont très intéressants à cause de leurs propriétés de transport balistique rapide et fiable. Cette porte NAND basée sur la jonction en Y est intramoléculaire (voir fig. 4.7).

Un état de l'art beaucoup plus complet concernant les différentes structures de CNTFET et des caractéristiques du transistor CNTFET, ainsi que de portes logiques à base de CNTFET a été réalisé lors du projet de Mastère MNE de M. Trinh Dang. Ces travaux sont poursuivis par une thèse de doctorat, actuellement en cours sous la co-direction de M. Regis Leveugle et moi-même et un Projet de Fin d'Etudes.

4.4. Simulation des portes logiques à base de CNTFET

A l'aide de ces modèles nous avons construit des portes logiques de différentes structures (NMOS, PMOS, CMOS, Domino Logic et pass transistor) pour analyser leur fonctionnement, tout d'abord en mode normale et ensuite dans le cas de variations importantes des paramètres technologiques.



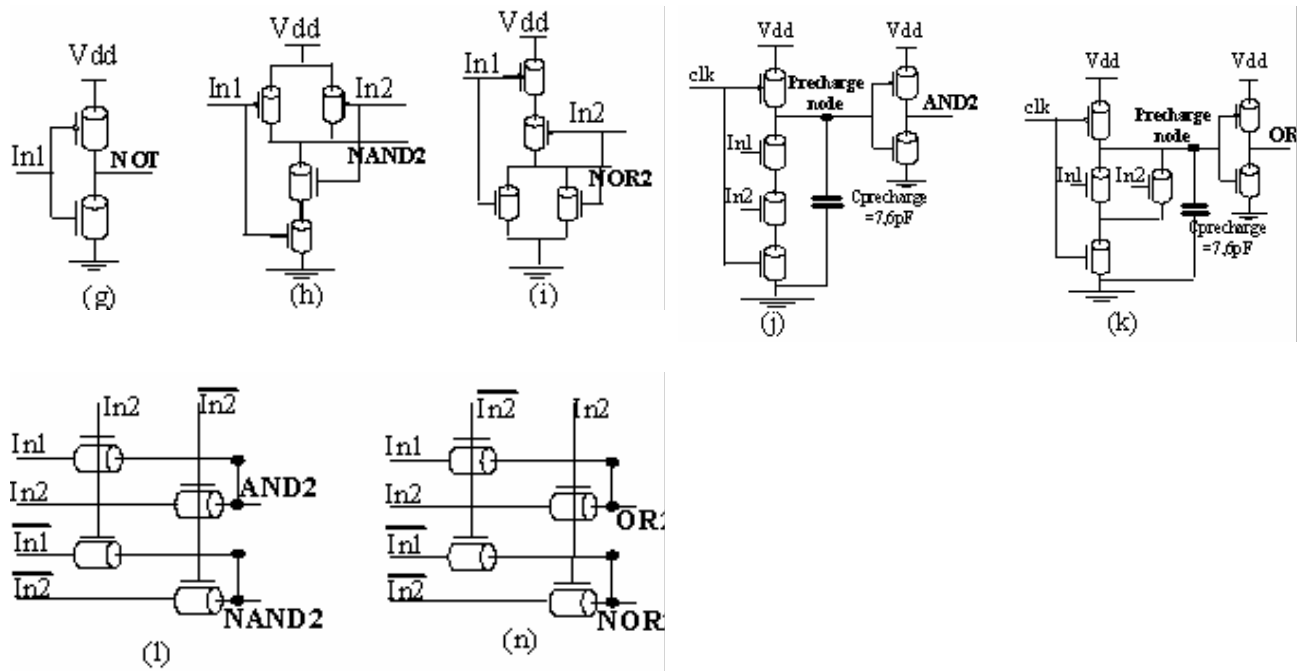


Figure 4.8: Portes CNTFET de type NFET (a,b,c), PFET (d,e,f) CMOS-like (g,h,i), structures domino (j,k) et structures pass-transistor (l;n)

Les caractéristiques statiques et dynamiques de ces portes ont été établies par simulation. Dans le tableau 4.3 nous présentons certaines caractéristiques statiques, qui sont aussi montrées dans la figure 4.9.

TABLEAU 4.3. Caractéristiques statiques des portes de la figure 4.8.

	Resistor-load						CMOS-like			Domino		Pass-transistor	
	NFET			PFET			Output			Precharge-node		Output	
	NOT	NAND2	NOR2	NOT	NAND2	NOR2	NOT	NAND2	NOR2	AND2	OR2	NAND2	NOR2
V_{OL} (V)	0,07	0,11	0,07	0,03	0,03	0,03	0,02	0,02	0,01	0,03	0,03	0,02	0,01
V_{OH} (V)	0,47	0,47	0,47	0,43	0,45	0,39	0,48	0,48	0,48	0,44	0,44	0,47	0,48
V_{IL} (V)	0,21	0,22	0,21	0,18	0,21	0,14	0,24	0,24	0,23	0,14	0,16	0,24	0,24
V_{IH} (V)	0,32	0,36	0,32	0,29	0,31	0,27	0,26	0,27	0,27	0,20	0,22	0,26	0,27
Switching threshold (V)	0,28	0,32	0,28	0,22	0,24	0,18	0,25	0,26	0,25	0,18	0,20	0,25	0,25
High noise margin(V)	0,15	0,11	0,15	0,14	0,15	0,12	0,22	0,21	0,21	0,24	0,22	0,20	0,21
Low noise margin (V)	0,14	0,11	0,14	0,15	0,18	0,11	0,22	0,23	0,22	0,11	0,13	0,22	0,23
Noise margin (V)	0,14	0,11	0,14	0,14	0,15	0,11	0,22	0,21	0,21	0,11	0,13	0,20	0,21
Static power, high level (nW)	26,05	29,43	25,96	369,90	412,23	296,79	66,78	62,36	53,14	1,78	3,42	7,69	0,95
Static power, low level (nW)	60,18	87,32	60,13	1,48	1,39	1,81	3,29	1,94	1,56	0,12	0,24	0,14	0,14
Average static power (nW)	43,12	58,38	43,05	185,69	206,81	149,30	35,04	32,15	27,35	0,95	1,83	3,92	0,55
Fanout (*C _{in})	~200	~200	~200	~200	~200	~200	~100	~100	~100	~100	~100	~200	~200

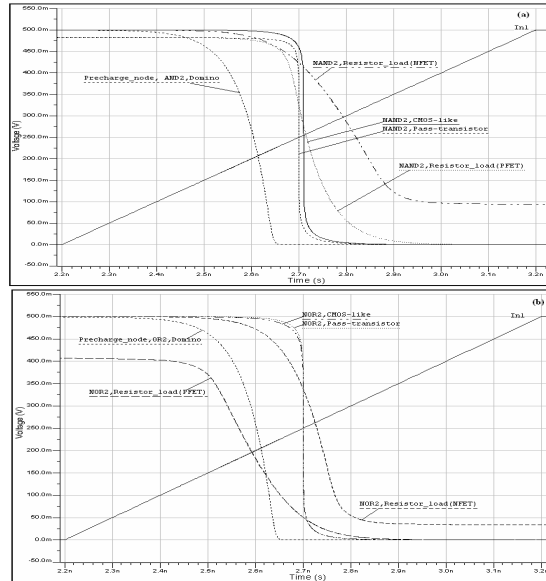


Figure 4.9. Caractéristiques de transfert aux sorties d'une porte NAND2 (a) et NOR2 (b) pour 4 types d'implémentations (NFET, PFET, CMOS-like, pass-transistor) et noeud de pré charge dans le cas du domino AND2/NOR2 (CNTFET: $d=1,4\text{nm}$; $R_{S,D}=25\text{k}$, Iness model)

Les structures CMOS-like et pass-transistor présentent les meilleurs caractéristiques pour les circuits intégrés en termes des niveaux logiques stables, seuil de commutation, marge de bruit, et dissipent aussi moins de puissance statique.

Les caractéristiques dynamiques sont données en tableau 4.4.

TABLEAU 4.4. Caractéristiques dynamiques des portes logiques de la figure 4.8.

	Resistor-load						CMOS-like			Domino		Pass-transistor	
	NFET			PFET			Output			Output		Output	
	NOT	NAND2	NOR2	NOT	NAND2	NOR2	INV	NAND2	NOR2	AND2	OR2	NAND2	NOR2
Tf (output) (ps)	210	227	210	232	201	311	28	31	32	4	4	30	28
Tr (output) (ps)	210	227	210	232	201	311	28	31	32	4	4	30	28
Tpropagation (ps)	94	153	94	34	58	111	24	30	26	52	53	223	224

A partir de ces données il en résulte que les portes en implémentation CMOS et domino sont beaucoup plus rapides que les autres et donc des candidats potentiels pour les applications de haute fréquence.

Ces travaux sont actuellement en cours et vont se poursuivre dans le cadre de la thèse de Trinh Dang et dans un projet de fin d'études sous ma direction. Des résultats ont été publiés en 2006 dans deux conférences, IEEE DTIS et IDT et dans un article IEEE TCAS accepté à paraître en 2007.

4.5. Outils de simulation de défauts et fautes paramétriques

Des études de vulnérabilité face aux différents types de fautes ont commencé avec la thèse de Trinh Dang, étant actuellement dans la phase de début.

Des variations de 20% ont été appliquées sur certains paramètres du modèle des transistors, comme par exemple le diamètre, les résistances de contact, les capacités, la tension d'alimentation, etc. Parmi les résultats les plus significatifs que nous avons pu obtenir jusqu'à présent, nous remarquons les analyses de portes inverseur, NAND, NOR en version CMOS ou resistor-transistor. Dans la figure 4.10 est présentée une étude du comportement valable pour ces portes pour plusieurs diamètres.

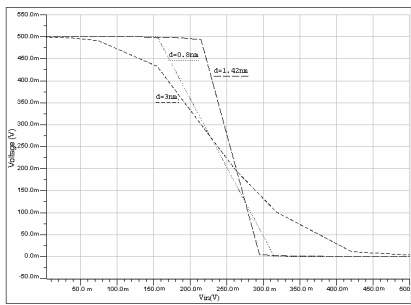


Figure 4.10 a. Caractéristiques de transfert pour un inverseur type CMOS ($V_{dd}=0.5V$) et plusieurs diamètres

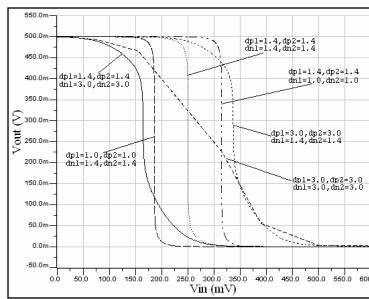


Figure 4.10 b. Caractéristiques de transfert pour un NAND type CMOS ($V_{dd}=0.5V$) et plusieurs diamètres non-homogènes

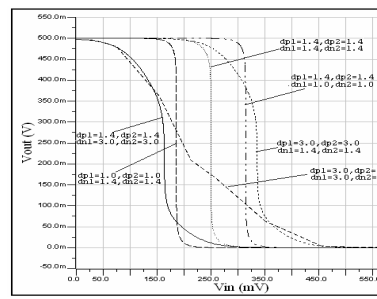


Figure 4.10.c. Caractéristiques de transfert pour un NOR type CMOS ($V_{dd}=0.5V$) et plusieurs diamètres non-homogènes

Une des premières conclusions est que la variation du diamètre des nanotubes de carbone influence beaucoup le seuil de commutation de portes ainsi que la pente de transition entre les états logiques, alors que la variation des résistances de contact a un impact assez réduit sur le fonctionnement global de la porte considérée. Ceci est dû à la forte variation de la tension de seuil de ces transistors, fortement dépendante du diamètre. Pour des variations de ce paramètre autour de 100% de la valeur nominale, la valeur du seuil de commutation varie autour de 30% de la valeur nominale. Ces résultats d'analyse de fautes sont inquiétants, montrant à quel point les variations paramétriques seront à prendre en compte pour les futurs systèmes et circuits à base de nouvelles technologies.

Ces travaux vont se poursuivre dans le cadre de la thèse de Trinh Dang et ont été publiés en 2006 dans deux conférences, IEEE DTIS et IDT, et en 2007 dans la conférence IEEE SNW. Deux autres articles sont en cours de soumission à ce jour.

Un outil automatique d'injection de fautes permanentes et paramétriques a été mis en place dans le cadre du projet de fin d'études d'ingénieur de M. Vladimir Pasca. Lors de

son stage entre mars et août 2006 M. Pasca s'est concentré sur la mise en place d'un environnement d'analyse du comportement des systèmes complexes face aux variations aléatoires des valeurs de différents paramètres d'un dispositif. Ainsi, à partir d'un modèle de transistor CNTFET paramétrable, des simulations avec injections aléatoires de variations de paramètres sont possibles ce qui augmente la capacité d'analyse des systèmes complexes.

Ce travail qui s'applique plus particulièrement aux systèmes à base de CNTFET et est une suite logique d'une partie du travail de thèse de M. Achouri qui s'est attaché à l'évaluation du rendement de fabrication des mémoires ainsi qu'à l'efficacité des techniques de tolérance aux défauts par une approche de type simulation statistique de défauts dans laquelle un grand nombre de simulations software d'injection de fautes ont été réalisées dans les mémoires suivant une densité de défauts donnée. Ceci sera particulièrement intéressant dans le cas de CNTFET lorsqu'on pourra commencer les injections de modèles de défauts physiques dans les circuits complexes. Mais cela suppose que nous soyons en possession des distributions de défauts au niveau de wafer ou du circuit même, ce qui n'est pas le cas aujourd'hui.

Les injections de fautes permanentes et paramétriques seront faites également sur les structures robustes, afin de comprendre la capacité de tolérance d'une architecture proposée.

4.6. Perspectives : Autres outils de CAO pour les Nanotechnologies

Cet axe de recherche est une autre nouvelle thématique qui concerne l'étude théorique, la simulation et, à plus long terme, la réalisation par des procédés nano-technologiques de systèmes exhibant une dynamique complexe, dont la richesse de comportement est le résultat des interactions d'un nombre très élevé d'éléments relativement simples. Comme exemples de tels systèmes nous pouvons citer des systèmes physiques (par exemple atmosphère et océans, réactions chimiques, réactions nucléaires, et d'autres systèmes complexes composés d'énormes quantités de particules) et des systèmes biologiques (par exemple interactions cellulaires dans un organisme, différenciation des cellules dans l'embryon, systèmes neuronaux, interactions entre les organismes dans un écosystème, sociétés d'insectes). Nous rajouterons aussi dans cette catégorie des systèmes imaginés par l'homme, dont la structure et les lois d'évolution sont inspirées ou non des systèmes naturels. La compréhension de la dynamique de ce type de systèmes est un défi fondamental de la science moderne.

Nos premiers travaux dans ce domaine concernent le développement d'un outil de génération de modèles logiciels et de simulation des systèmes comportant un grand nombre d'éléments en interaction. A l'aide d'une interface graphique, l'utilisateur peut générer avec

un effort modéré une description logicielle du système de son choix et lancer ensuite des simulations pour étudier son comportement. Grâce à cette facilité l'utilisateur pourra aussi approfondir les études en jouant par exemple avec les paramètres du système et les lois qui régissent l'évolution des éléments du système, pour étudier leur impact sur sa dynamique. Un premier prototype de cet outil a été réalisé et expérimenté dans deux domaines d'application

- écosystèmes artificiels : environnements virtuels dans lesquels évoluent des organismes multicellulaires artificiels ayant des propriétés inspirées du monde réel, telles que la réplication et la différenciation des cellules donnant lieu à un organisme adulte à partir d'une cellule unique (ontogenèse), ayant des fonctions telles que le mouvement, la capture de la nourriture, la reproduction sexuée, ou l'adaptation à l'environnement grâce au processus de la mutation génétique et le « crossing-over », création de nouvelles espèces par phylogenèse,
- "univers" artificiels engendrant un espace-temps relativiste : systèmes composés d'un ensemble de particules régis par des lois d'interaction possédant certaines propriétés qui font que l'espace engendré par les valeurs des variables de « position » et le "temps" mesurée par des processus quelconques choisies comme horloges, vérifient les transformations de Lorentz.

La poursuite de ces travaux inclut l'extension de l'outil pour effectuer des simulations dans des systèmes de multiprocesseurs et la simulation des systèmes plus complexes, par exemple, écosystèmes artificiels engendrant des sociétés de type insectes, systèmes biologiques naturelles, "univers" artificiels régis par des lois stochastiques, contenant de très grandes quantités des particules,

Un objectif plus lointain concerne le développement d'une plateforme de CAO permettant d'exploiter la puissance de calcul promise par les nanotechnologies (en particulier des nanoréseaux contenant des milliards d'éléments programmables) afin d'explorer la dynamique des systèmes complexes. La nature régulière du nanoréseau et des systèmes complexes que nous ciblons devra permettre une exploitation maximale des ressources du nanoréseau. L'implémentation consiste à déterminer l'ensemble de modules du nanoréseaux nécessaires pour implémenter le module de base du système cible, et programmer ensuite le nanoréseaux pour implémenter le nombre des modules du système cible et leurs interconnexions permis par la complexité et l'architecture du nanoréseau. Ainsi, l'objectif de cet axe de recherche consiste à développer une plateforme de CAO qui simplifiera ces tâches. Cette plateforme comporte :

- Un outil de modélisation et de simulation de haut niveau. Ce premier outil, dont le développement a été déjà entrepris comme décrit plus haut, permet à l'utilisateur de générer un modèle logiciel du système complexe et de valider ses choix par des

simulations dans des processeurs ou multiprocesseurs conventionnels, avant de passer à la tâche plus difficile d'implémentation dans un nanoréseau.

- Un outil qui transforme la description du système complexe générée par l'outil précédant dans une description compatible avec les contraintes de l'architecture du nanoréseau.
- Un outil qui génère une description RTL du système complexe à partir de la description générée par l'outil précédent. Cette description tient donc en compte les contraintes de l'architecture du nanoréseau. Ainsi, elle peut par la suite être implémentée dans le nanoréseau à l'aide d'un outil similaire aux outils utilisés de nos jours pour implémenter une description RTL dans un FPGA.

Ces travaux ont commencé très récemment par la thèse de E. Kolonis, et vont se poursuivre dans le cadre du groupe de recherche en collaboration avec M. Nicolaidis.

Les articles les plus significatifs pour ce chapitre sont les suivants :

- T. Dang, L. Anghel, R. Leveugle, „CNTFET-based Logic Gates and Characteristics”, accepté au IEEE Silicon Nanoelectronics Workshop, June 2007, Kyoto, Japan
- T. Dang, L. Anghel, R. Leveugle, "CNTFET-based Logic Gates and Simulation", in Proceedings of IEEE International Design and Test, November 2006, Dubai, UAE.
- T. Dang, L. Anghel, R. Leveugle "CNTFET Basics and Simulation", in Proceedings of IEEE International Conference on Design and Test of Integrated Systems in Nanoscale Technologies, September 2006, Tunis
- I. O'Connor, J. Liu, F. Gaffiot, F. Pregaldiny, C. Manneux, C.Lallement, J. Goguet, L. Anghel, R. Leveugle, T. Dang, "CNTFET modeling and reconfigurable logic circuit design", accepté à IEEE TCAS 2007.

Chapitre 5. Conclusion et perspectives

Ce mémoire présente le bilan d'une dizaine d'années d'activités de recherche. Ces activités de recherche se regroupent autour de deux thèmes clés : tolérance aux fautes et étude de la sensibilité des systèmes complexes face à toutes sortes de perturbations et d'erreurs. Ces deux directions principales de recherche peuvent se décliner en plusieurs autres axes de recherche, avec une forte interaction entre eux.

Dès le début de mes activités de recherche il s'est avéré que des applications industrielles commerciales à forte valeur rajoutée faisaient de plus en plus l'objet d'inquiétudes quant à leur robustesse face aux phénomènes parasites divers, et autres perturbations. J'ai donc travaillé sur la conception et sur le développement de techniques de tolérance aux fautes à plusieurs niveaux d'abstraction, au niveau transistor, comme au niveau porte logique et micro-architecture. L'objectif de ma thèse était d'apporter des réponses à des problèmes critiques pouvant bloquer le progrès dans les technologies des circuits intégrés, à savoir le passage aux technologies de 250nm. La réponse proposée a consisté à utiliser des techniques de tolérance aux fautes à faible coût pour concevoir des circuits intégrés robustes vis-à-vis des fautes transitoires et des fautes de délai. Comme ces activités de recherche ont été parmi les premières dans ce domaine, cette lancée m'a permis d'exploiter, adapter et optimiser ces techniques, leur consacrer beaucoup d'effort et réaliser des collaborations avec des partenaires industriels et universitaires. Une partie de ces travaux a fait aussi l'objet d'une exploitation industrielle au sein de la compagnie iROC Technologies. L'importance de ces travaux a été reconnue par plusieurs publications et par le prix du meilleur article dans la Conférence IEEE/ACM, " Design, Automation and Test in Europe 2000 (DATE 2000) " et d'un autre à la conférence IEEE VLSI Test Symposium en 2004.

Par ailleurs, pour évaluer l'efficacité de ces techniques, il a été nécessaire de développer plusieurs outils de simulation des fautes permanentes et transitoires, capable d'exécuter un grand nombre de simulations de fautes, dans un temps raisonnable. A nouveau ceci avait débuté pendant ma thèse de doctorat et s'est poursuivi par des nombreux encadrements de stages, thèses et ingénieurs sous contrat afin d'aboutir in fine à plusieurs types d'outils d'évaluation de sensibilité des applications complexes, à plusieurs niveaux d'abstraction.

Avec l'apparition des premières solutions de transistors à base de nanotubes de carbone et l'avancement technologique dans la production des dispositifs moléculaires, notre intérêt s'oriente vers l'étude de la fonctionnalité et de la vulnérabilité des portes logiques et des

architectures face aux défauts de fabrication et aux phénomènes transitoires, et logiquement vers les architectures d'auto-réparation et la tolérance aux fautes massive afin de rendre robustes les application complexes à base d'un nombre important de dispositifs défaillants.

Cette activité de recherche vient de démarrer, en même temps que la mise en place des outils logiciels d'évaluation de robustesse. Des outils de conception, de synthèse d'application sur ces architectures robustes sont actuellement à l'étude.

REFERENCES

- [1]. Olli Silven et al, Implementing Energy Efficient Multimedia, Mobile Multimedia II 2005, SPIE proceeding 2005.
- [2]. Nomadik mobile multimedia application processor, STn8815, <http://www.st.com/nomadik>
- [3]. W. Dally et al., "Route packets, not wires: On-chip interconnection networks," in Proc. Des. Autom. Conf., Jun. 2001, pp. 684–689.
- [4]. L. Benini et al., "Networks on chips: A new SoC Computer, vol. 36, no. 1, pp. 70–78, Jan. 2002.
- [5]. Fred Pollack, "New Microarchitecture Challenges in the Coming Generations of CMOS Process Technologies" – . Micro32 conference key note - Intel Corp 1999.
- [6]. S. Borkar et al, "Designing Reliable Systems from Unreliable Components: The Challenges of Transistor Variability and Degradation," IEEE Micro, vol. 25, no. 6, Nov./Dec. 2005, pp. 10-16.
- [7]. A. Deutsch et al., "On-Chip Wiring Design Challenges for GHz Operation", Proceedings of IEEE, vol. 89, no. 4, pp.529-555, April 2001
- [8]. Shekhar Borkar et al, "Parameter Variations and Impact on Circuits and Microarchitecture", Proceedings, DAC 2003.
- [9]. Shekhar Borkar, "Thousand Core Chips – A Technology Perspective", Proceedings, DAC 2007.
- [10]. <http://www.itrs.net/Links/2006Update/2006UpdateFinal.htm>
- [11]. K. Bernstein et al, "High performance CMOS variability in the 65 nm regime and beyond", IBM Journal of Research and Development, vol. 50, pp. 433-449, July 2006.
- [12]. P. Gelsinger, "Giga-Scale Integration for Tera-Ops Performance, Opportunities and New Frontiers", Keynote DAC 2004.
- [13]. T.Austin, D. Blaauw, et al, "Making Typical Silicon Matter with Razor", IEEE Computer, April 2004.
- [14]. S.Mitra, M. Zhang, et al "Combinational Soft Error Correction", Proceedings of IEEE International test Conference, 2006.
- [15]. P.E.Dodd and L.W.Massengill, "Basic Mechanisms and Modeling of Single-Event Upset in Digital Microelectronics," IEEE Trans. Nuclear Science, vol. 50, no. 3, pp. 583-602, 2003
- [16]. M. Agarwal, B. Paul, S. Mitra, «Circuit Failure Prediction and Its Application to Transistor Aging », in Proceedings of IEEE VLSI Testing Symposium, 2007
- [17]. www.tezzaron.com/whitepapers
- [18]. J.G. Tryon, "Quadded Logic," Redundancy Techniques for Computing Systems, R.H. Wilcox and W.C. Mann, eds., Spartan Books, 1962, pp. 205-228.
- [19]. P.A. Jensen, "Quadded NOR Logic," IEEE Trans. Reliability, vol. 12, no. 3, Sept. 1963, pp. 22-31.
- [20]. J. Han, D. Jonker "A System Architecture Solution for Unreliable Nanoelectronic Devices", IEEE Transactions on Nanotechnology, vol.1, No. 4, December 2002.
- [21]. J. R. Heath , all "A defect-tolerant architecture for nanotechnology", Science, vol 280, pp. 1716-1731, 1998
- [22]. Likharev K K "Single-electron devices and their applications" Proc. IEEE 87 606–32, 1999

- [23]. Heij C P, Hadley P and Mooij “Single-electron inverter” Appl. Phys. Lett. 78 1140–2, 2001
- [24]. Bachtold A, “Logic circuits with carbon nanotube transistors”, Science 294 1317–20, 2001
- [25]. Huang Y, all “Logic gates and computation from assembled nanowire building blocks” Science 294 1313–17, 2001
- [26]. Collier C P, et all “Electronically configurable molecular-based logic gates” Science 285 391–4, 1999
- [27]. Collier C P et all “A [2]catenane-based solid state electronically reconfigurable switch” Science 280 1172–5
- [28]. Tseng G Y and Ellenbogen “Toward nanocomputers” Science 294 1293–4, J C 2001
- [29]. C. Constantinescu, “Trends and Challenges in VLSI Circuit Reliability”, IEEE Micro, July-August 2003, pp. 14-19.
- [30]. S. Mitra, N. Seifert, M. Zhang, Q. Shi and K.S. Kim, “Robust System Design with Built-In Soft Error Resilience,” *IEEE Computer*, Vol. 38, Number 2, pp. 43-52, Feb. 2005.
- [31]. M.P. Baze , S.P. Buchner, “Attenuation of single event induced pulses in CMOS combinational logic”, IEEE Transactions on Nuclear Science, vol. 44 Issue: 6 Part: 1 , Dec. 1997, pp: 2217 -2223.
- [32]. P. Shivakumar, et al., “Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic”, Proc. International Conference on Dependable Systems and Networks, 2002, pp: 389-398
- [33]. G. Hubert et al., “Review of DASIE Family Code: Contribution to SEU/MBU Understanding”, 11th IEEE International On-Line Testing Symposium 2005, Saint-Raphael, France.
- [34]. G. Hubert, A. Bougerol, F. Miller, N. Buard, L. Anghel, T. Carriere, F. Wrobel, R. Gaillard, "Prediction of Transient Induced by Neutron/Proton in CMOS Combinational Logic Cells," *iolts*, pp. 63-74, 12th IEEE International On-Line Testing Symposium (IOLTS'06), 2006.
- [35]. B. Zhang et al, “FASER - Fast Analysis of Soft Error Susceptibility for Cell-Based Designs” In Proceedings of ISQED 2006.
- [36]. V. Derycke, R. Martel, J. Appenzeller, Ph. Avouris, “Carbon nanotube inter-and intramolecular logic gates”, Nano Letters, pp. 453-456, 2001.
- [37]. M. Daenen et al., “The Wondrous of carbon nanotubes”, Eindhoven University of Technology, Feb. 2003.
- [38]. R. Martel, V.Derycke, et al. “Carbon Nanotube Field Effect Transistors and Logic Circuits”, Proc of DAC, New Orleans, Louisiana, USA, 2002.
- [39]. Y.-M. Lin et al., “High-Performance Carbon Nanotube Field-Effect Transistor With Tunable Polarities”, IEEE Trans. on Nanotech, Vol. 4, No. 5, pp. 481-489, 2005.
- [40]. A. Javey et al., “High Performance n-Type Carbon Nanotube Field-Effect Transistors with Chemically Doped Contacts”, Nano letters, Vol. 5, No. 2, pp. 345-348, 2005.
- [41]. S.J. Wind et al., “Vertical scaling of carbon nanotube field-effect transistors using top gate electrodes”, App. Phys. Lett., Vol. 80, No. 20, pp. 3817-3819, 2002.
- [42]. ITRS2005: <http://www.itrs.net/Links/2005ITRS/Home2005.htm>
- [43]. A. Raychowdhury et al., “A Circuit-Compatible Model of Ballistic Carbon Nanotube Field-Effect Transistors”, IEEE trans. on computer-aided design of integrated circuits and systems, Vol. 23, No. 10, pp. 1411-1420, 2004.

- [44]. J. Guo, S. Datta, M. Lundstrom, "Assessment of silicon MOS and carbon nanotube FET performance limits using a general theory of ballistic transistors", IEDM, pp. 711-715, 2002.
- [45]. A. Bachtold, P. Hadley, T. Nakanishi, C. Dekker "Logic Circuits with carbon nanotube transistors", Science, No. 294, pp. 1317-1319, 2001.
- [46]. B. Gojman, H. Hsin, J. Liang, N. Nezhdanova, J. Saini, "Y-Junction carbon nanotube implementation of intramolecular electronic NAND gate", Available at: www.cs.caltech.edu/cbsss/finalreport/yjunction_group.pdf, 2004.
- [47]. E. Jenn, J. Arlat, M. Rimen, J. Ohlsson, J. Karlsson, "Fault Injection into VHDL Models: The MEFISTO Tool", Proceedings. 24th International Symposium on Fault-Tolerant Computing, pp. 66-75, 1994.
- [48]. M. Bellato, P. Bernardi, D. Bortolato, A. Candelori, M. Ceschia, A. Paccagnella, M. Rebaudengo, M. Sonza Reorda, M. Violante, P. Zambolin "Evaluating the effects of SEUs affecting the configuration memory of an SRAM-based FPGA » DATE2004: Design, Automation and Test in Europe, 2004, pp. 188-193
- [49]. M. Sonza Reorda, M. Violante "Efficient analysis of single event transients » Journal of Systems Architecture, Elsevier Science, Amsterdam, Netherland, Vol. 50, No. 5, 2004, pp. 239-246
- [50]. R. Leveugle, K. Hadjiat "Multi-level fault injection experiments based on VHDL descriptions: a case study", 8th IEEE International On-Line Testing workshop, Ile de Bendor, France, July 8-10, 2002, pp. 107-111
- [51]. R. Leveugle, K. Hadjiat "Early prediction of SEU consequences through VHDL mutant generation", 6th European Conference on Radiation and its Effects on Components and Systems (RADECS), Grenoble, France, September 10-14, 2001

Deuxième Partie

Curriculum Vitae Détaillé

présentant mes activités d'encadrement de la recherche, mes activités d'enseignement et administratives ainsi que la liste de publications

Curriculum Vitae

A. ETAT CIVIL

Nom et Prénom : ANGHEL LORENA

Date et lieu de naissance : Née le 9 décembre 1972, Brasov (Roumanie)

Nationalité : Française et Roumaine

Situation de famille : Mariée

Coordonnées professionnelles :

Laboratoire TIMA, INPG-UJF

46 Avenue Félix Viallet,
38031 Grenoble Cedex, France
<http://tima.imag.fr>

Tel.: +33 (0) 4 76 57 46 96
Tél. portable +33 (0) 6 82 31 26 47
Email: lorena.anghel@imag.fr

B. EXPERIENCE PROFESSIONNELLE

Situation actuelle :

Depuis **Maître de Conférences** à l'Institut National Polytechnique de Grenoble
Sept. 2001 (INPG),

Enseignant à l'Ecole Nationale Supérieure d'Electronique et Radioélectricité (ENSERG) **Chercheur** au laboratoire TIMA (Techniques de l'Informatique et de la Microélectronique pour l'Architecture d'ordinateurs UMR C5159) dans le groupe QLF (Qualification des Systèmes)

Expérience professionnelle :

Sept. 2000- **ATER** à l'Université Joseph Fourier, Institut des Mathématiques Appliquées,
Sept. 2001 Grenoble

- Enseignement en Informatique et Microélectronique Numérique
- Recherche au Laboratoire TIMA, dans le groupe RIS (Reliable Integrated Systems)

Diplômes et formations

Nov. 1997 – **Thèse de Doctorat en Microélectronique**, à l'Institut National Polytechnique
Dec. 2000 de Grenoble, au Laboratoire TIMA, groupe RIS.

Intitulé : Les limites technologiques du silicium et tolérance aux fautes.

Mention : Très Honorable avec les félicitations du jury

Prix de la meilleure thèse de l'INPG en Microélectronique en 2000.

Oct. 1996 – **Master of Science** à l'Université Polytechnique de Bucarest, Département
Juillet 1997 d'Electronique et de Télécommunications

Spécialité : Fiabilité et Qualité des Systèmes Microélectroniques, Mention Très Bien

Stage de Master en Microélectronique (Avril Juillet 1997) au laboratoire

TIMA, Grenoble

Intitulé : Simulations mixtes 2D de l'impact des particules alpha sur les cellules de mémoire SRAM,

Oct. 1991 – Diplôme d'ingénieur en Electronique à l'Université Polytechnique de
Juillet 1996 Bucarest, Département d'Electronique et de Télécommunications

Spécialité : Microélectronique et Microsystèmes, Mention Très Bien

Stage de Projet de Fin d'Etudes (Février Juillet 1996) au laboratoire LPCS –
actuellement IMEP (Laboratoire de Physique de Composants aux
Semiconducteurs), Grenoble,

Intitulé : “*Electrical and noise characterization of different devices on SiC*”,

Distinctions

1. **Prix de la meilleure thèse de l'INPG en Microélectronique en 2000.**
2. **Best Paper Award de la conférence IEEE/ACM « Design, Automation and Test in Europe 2000 » (DATE 2000)**
3. **Best Paper Award de la conférence IEEE/CS “VLSI Test Symposium, 2004”, (VTS 2004).**
4. **Certificate of Appreciation, IEEE Computer Society**
5. **Meritorious Service Award, IEEE Computer Society**

Invitations

- **Chercheur Invité** chez Zenasis Technology, Campbell, CA, USA 3 mois, Juillet – Octobre 2004
Etudes et travaux sur l'estimation et optimisation de la puissance consommée dans les SOC complexes
- **Chercheur Invité** (Faculty Visitor Position) chez Intel Corporation, Santa Clara, CA, USA. 3 mois Juillet – Octobre –2005,
Etudes des techniques de tolérance aux fautes transitoires sur les Processeurs Super Scalaires Itanium 64b, double coeur et sur les architectures mobiles Pentium M dernière génération.
- **1 présentation invitée** dans le symposium international, Conférence Single Events Effects, avril 2006, Long Beach, California, USA
- **Invitation d'une semaine à Purdue University**, Indiana, USA en juillet 2004.
Présentation de mes travaux de recherche, rencontre et discussions avec les chercheurs et doctorants du groupe Electrical and Computing Engineering (invitée par Prof. Kaushik Roy, Fellow IEEE)
- **Invitation d'une semaine à l'Université Libanaise** Tripoli, Liban en janvier 2004.
Présentation des travaux de recherche, activités d'enseignement en conception VLSI, FPGA
- **Invitation d'une semaine à l'Université Federale Rio Grande del Sul**, Porto Alegre, Bresil, septembre 2002 et avril 2007. Présentation des travaux de recherche, rencontre et discussions avec les chercheurs et thésards cours de Test en ligne aux étudiants dernière année.

ACTIVITES D'ENSEIGNEMENT

Mes activités d'enseignement ont débutés pendant ma thèse de doctorat (1998-2000) lorsque j'ai commencé à effectuer des vacances dans plusieurs établissements universitaires de Grenoble (ENSIMAG, ENSERG, département Télécommunications, UJF-IMA et ISTG actuellement Polytech). Pendant ce temps, j'ai enseigné plus particulièrement des TD et TP en 3^{ème} année de formation Ecole d'ingénieur, mais également en Licence et à l'UJF. A cette époque j'ai monté un cours de Tolérance aux fautes et sûreté de fonctionnement, en option Archi, ENSIMAG et ENSERG, cours que je donne également à présent, en option ACE Département Télécom Grenoble. Toujours à la même époque j'ai monté un cours de Test de circuits numériques pour le DESS CSINA, cours qui a été repris à l'ENSERG, 3A au moment de la mise en place de l'option Systèmes sur Puce et Circuits (en 2001). J'ai aussi encadré des projets de fin d'études en conception Microélectronique, Test et Système, participant aux jurys.

J'ai été nommée Maître de Conférences à l'INPG (61^{ème} CNU) en septembre 2001 pour rejoindre les équipes d'enseignants de l'ENSERG et du Département Télécom, qui venait d'être créée. J'interviens plus particulièrement en 3^{ème} année options Systèmes sur Puce et Circuits, à l'ENSERG et en option ACE au département Télécom. Je suis en charge d'un cours de Test, un cours de Tolérance aux Fautes, un TP de Conception CAO avancée, et un projet très conséquent de Conception SOC qui traite de la méthodologie de conception des systèmes complexes sur puce, en abordant les points clé : les aspects d'exploration d'architecture, partitionnement logiciel-matériel, raffinement des descriptions de composants et des protocoles de communication, les étapes essentielles de co-design et co-simulation.

Depuis 2 ans j'interviens aussi en 1^{ère} et 2^{ème} année dans les deux écoles, en m'investissant dans les enseignements de base de la conception de systèmes numériques en microélectronique. En l'occurrence, je donne un cours de VHDL pour la synthèse en 1^{ère} année au département Télécom, je coordonne l'équipe des enseignants du TP VHDL Département Télécom, j'interviens dans les TP VHDL à l'ENSERG, je co-encadre un Projet VLSI en 2^{ème} année au Département Télécom et très récemment (depuis septembre 2006) j'ai monté un Atelier de conception numérique VLSI pour la 2^{ème} année ENSERG, enseignement qui fait partie du tronc commun.

J'interviens régulièrement à la formation continue en raison de 20 heures par an, sur différentes cours, tel la conception VLSI, ainsi que le test et des enseignements ponctuels pour les industriels.

Pour chacun des cours mentionnés j'ai mis en place des polycopiés, ainsi que pour les TD, TP que je coordonne et j'encadre.

Un aperçu rapide de ses enseignements est donné par la suite :

Description des Cours, TD, TP et Projet réguliers

Ecole Nationale Supérieure Informatique et mathématiques Appliquées Grenoble (ENSIMAG), INPG

- Cours de Tolérance aux fautes logiciels, 6h de cours depuis 2005

Ecole Nationale Supérieure d'Electronique et Radioélectricité Grenoble (ENSERG), INPG

- Cours de Conception VLSI en Mastère Nanotech, 18h cours, 3hTD depuis 2006
- Test et Conception en vue du Test (Cours, TP), 18h, 3^{ème} année options SP et Circuit
- Conception et Outils CAO (TP), 12h, 3^{ème} année, options SP et Circuit
- Méthodologie de Conception des Systèmes Embarqués à l'aide de System C (Projet), 3^{ème} année, 56h, option SP
- Langage de modélisation VHDL (TP), 2^{ème} année
- Atelier de VLSI, 2^{ème} année 8h
- Découverte du Testeur, 8h options SP et Circuits
- Tuteur de stages projets de fin d'études, participation aux différents jurys

Département de Télécommunications, Grenoble (ENSERG/ENSIMAG), INPG

- Sûreté de Fonctionnement, Tolérance aux fautes et Fiabilité (Cours), 18h, 3^{ème} année
- Architectures pour la communication (Cours), 18h 3^{ème} année (jusqu'au 2005)
- Conception VLSI orientée ASIC et FPGA (TD et Projet), 30h, 2^{ème} année
- Langages de Modélisation en Microélectronique : VHDL (Cours et TD), 9h cours et 9h TD 1^{ère} année
- Tuteur de stages de projets de fin d'études, participation aux différents jurys

Master Pro2, Conception des Systèmes Intégrés Numériques Analogique, UJF, Grenoble

- Test et Conception en vue du Test (Cours, TP)

Enseignement dans d'autres écoles et départements INPG/UJF

- Architectures d'Ordinateurs (Cours, TD), DESS CCI, ENSIMAG en 2003
- Modélisation VHDL (TP), Maîtrise Informatique, IMA, UJF en 2001-2003

Enseignement à la Formation Continue INPG

- Cours de test de circuits numériques, Formation : FORMATECH, depuis 2004, 18h
- Cours et TP de Conception VLSI numériques, en formation MIDEP, depuis 2004, 8h
- Formations industriels ponctuelles : « Le saut technologique », Le flot de conception des ASIC, Architectures d'ordinateurs

Enseignement dans d'autres écoles

- Cours de test de circuits numériques à l'ENST Bretagne

Autres séminaires, cours et conférences invités :

1. « Multiple Abstraction level SEE Simulation » à l'Université Fédéral Rio Grande de Sul, Porto Alegre, Bresil en Avril 2007
2. « 100nm and beyond », Minatec Crossroads, Conférence Invitée lors du lancement de Minatec, Grenoble, juin 2006
3. "SET and SEU Simulation at Multiple Abstraction Levels ", Manaus, Brésil, novembre 2005 et à Seville en 2006, dans le cadre de l'Ecole d'été SERESSA(School of Effects of Radiation on Embedded Systems for Space Applications)
4. "Fault and Defect Tolerance for Memories and Logic Cells", à l'Université Tsinghua, Pekin, Chine, Janvier 2005
5. "Franchir la barrière de 100nm et tout ce qui va avec... ", formation continue pour ST Microelectronics, Philips et Atmel en Février 2005 et en Novembre 2005
6. "ASIC vs FPGA", cours à l'Université Libanaise, Tripoli, Liban Janvier 2004.
7. « Low Power Design », séminaire chez Zenasis Inc, August 2004.
8. "Test des circuits intégrés numériques", dans le cadre d'une Ecole d'été organisée par IN2P3, à Cargèse, Corse, septembre 2003.
9. "Problèmes de fiabilité dans les circuits sous-microniques et tolérance aux fautes", dans le cadre d'une Ecole d'été organisée par IN2P3, à Cargèse, Corse, septembre 2003.
10. "On Line Testing Techniques", à l'Université Fédéral Rio Grande de Sul, Porto Alegre, Bresil en Septembre 2002

Responsabilités administratives et collectives INPG

- Co-responsable de la filière Systèmes Electroniques Intégrés, futur pôle PhEIMa, INPG
- Responsable pédagogique de la 3^{ème} année ENSERG/INPG, depuis septembre 2006.
- Responsable pédagogique de l'Année Spéciale en Microélectronique à l'ENSERG, depuis septembre 2004.
- Membre de la Commission Consultative d'Enseignement ENSERG depuis 2006
- Membre du Bureau ENSERG depuis 2006
- Membre du Conseil d'Administration ENSERG depuis janvier 2007
- Responsable des plateformes d'enseignement: Projet SOC, TP CAO pour la Microélectronique et TP de découverte du testeur pour la 3^{ème} année ENSERG, de l'Atelier VLSI de la 2^{ème} année ENSERG et des TP VHDL 1^{ère} année Télécom.
- Responsabilités du suivi de Projets de fin d'étude d'élèves ingénieurs et des étudiants en Masters Micro et Nano Electronique (MNE)

Participations aux coopérations internationales

- **Responsable** des échanges internationaux dans le cadre du projet SOCRATES entre le Laboratoire TIMA et l'Université Polytechnique Oradea, Roumanie (depuis 2001 jusqu'à présent) et l'Institut Polytechnique de Bucarest (depuis septembre 2006)
- **Participation** au projet européen d'échange, recherche et enseignement ALFA entre la CE et l'Amérique Latine, depuis février 2006.
- **Participation** au projet d'échange, recherche et enseignement Franco-Libanais CEDRE entre 2002-2004.
- **Participation** au projet d'échange, recherche et enseignement Franco-Brésilien CAPES COFECUB, depuis 2001.

ACTIVITES DE RECHERCHE

Les activités de recherche que je mène concernent plusieurs axes :

1. Ma première direction de recherche concerne la simulation de fautes transitoires à plusieurs niveaux d'abstraction pour les circuits de grande complexité, de type Système sur puce, incluant les effets produits sur les blocs numériques, analogiques et MEMS. Nous proposons plusieurs méthodologies de validation des architectures contenant des modules hétérogènes, allant de la simulation mixte composant - électrique, jusqu'à la simulation au niveau système en passant par la simulation mixte analogique numérique, ou la simulation entièrement numérique, dans le but de sélectionner la méthodologie de qualification la plus rapide et la plus précise. Des travaux de recherche sont en cours dans le cadre d'un projet européen industriel MEDEA PARACHUTE et du projet national Projet ACI Sécurité Informatique (VENUS) dont je suis coordonnatrice et responsable scientifique et administrative de la part du laboratoire TIMA. Ces travaux ont fait l'objet de la thèse de Susi Saleh, et d'un certain nombre de stages de PFE, DEA et DESS.
2. Une autre direction de recherche concerne la conception de techniques de tolérance aux fautes innovantes pour les structures complexes de type DataPath, Mémoires et réseaux de communications se trouvant dans une structure de type SOC. Ces travaux ont commencé pendant ma thèse de doctorat et à l'époque ils ont fait l'objet d'un nombre important de publications souvent référencées par la plupart des acteurs du domaine. Récemment je me suis re-investie dans ce domaine de recherche grâce au séjour chercheur invité que j'ai effectué au sein de la compagnie Intel en 2005 où j'ai eu à travailler sur les nouveaux processeurs super scalaires Itanium2 (Intel Corp.) ainsi que sur les Processeurs Pentium M, à faible consommation. Un certain nombre d'architectures sont en phase d'études et développement, notamment ce qui concerne les réseaux sur puce et les éléments de mémorisation (étude qui se fait dans le cadre des thèses de Cristiano Lazzari et de Claudia Rusu, ainsi que dans le cadre de projets de fin de cycle Master Pro et des projets de collaborations ALFA et Socrates .
3. Un autre axe de recherche concerne le développement de techniques innovantes de tolérance aux défauts pour des systèmes de calcul complexes conçus à base de structures régulières. Ces systèmes sont fabriqués à l'aide de quelques structures de base, répliquées plusieurs milliers de fois formant ainsi un réseau régulier. Ces

techniques prennent en considération les modèles de fautes déduits lors de la modélisation des dispositifs moléculaires et adressent une très grande densité de défauts. Des travaux de recherche concernant l'étude de méthodes et techniques de tolérance aux fautes ont déjà commencé dans le cadre du projet européen IST/FET FRACTURE (janv. 2000- déc. 2003) dont j'ai eu la responsabilité au sein du laboratoire TIMA. Ces travaux ont continué dans le cadre des collaborations avec les compagnies IROC Technologies, France et Synopsys, France et se poursuivent en relation avec la thèse de Trinh Trong Dang et Cristiano Lazzari, ainsi que dans des stages Master Pro et PFE.

4. Etude de la sensibilité face aux différentes sources de bruit dans les dispositifs nanométriques basées sur des technologies alternatives au CMOS. Les recherches portant sur ces structures visent deux aspects : d'une part l'analyse de défaillance pour les dispositifs moléculaires diverses et d'autre part la modélisation de ces dispositifs et la création des structures plus complexes. A partir des modèles de dispositifs (ex. transistor en nanotube de carbone) et du comportement de ces dispositifs, des modèles de défauts réalistes sont extraits afin de prévoir par la suite les défaillances des architectures. A partir de là, nous allons prévoir des mécanismes de tolérance aux fautes adéquats pour ces architectures. Ce travail de recherche a commencé dans le cadre de la thèse de Trinh Dang et fait l'objet d'un certain nombre de stages de projets de fin d'études surtout sur la partie concernant l'outil d'injection de dispersions et de défauts.
5. Une autre direction de recherche est orientée vers l'étude des méthodologies et outils CAO permettant d'une part la synthèse automatique d'architectures tolérant les défauts explorées auparavant, et d'autre part la programmation sur un support contenant des éléments réguliers, éventuellement défaillants, d'une application complexe, simulant des systèmes naturels ou imaginés par l'homme. Ce travail de formalisation du domaine a commencé lors de la thèse de Eleftherios Kolonis et d'un stage de PFE et est un sujet d'études en ce moment.
6. Une dernière direction concerne le développement d'un outil CAO de génération automatique du dessin ("layout") de circuits intégrés complexes durcis face aux radiations ou très redondants. Une collaboration avec l'Université Fédérale Rio Grande de Sul, Porto Alegre, (Brésil) a été mise en place et des échanges d'étudiants ont commencé dans le cadre de ce projet. Ce sujet est amplement développé dans la thèse de Cristiano Lazzari.
7. Deux nouveaux axes de recherche sont en phase de début, une concerne l'étude des techniques de tolérance aux fautes dans les « Network on Chip » (Claudia Rusu a commence une thèse sur ce sujet en septembre 2006) et l'autre concerne la modélisation de fautes dans les FPGA SRAM et protections adaptées (Jean Bapiste Ferron commencera une thèse sur ce sujet en septembre 2007)

- **Co-encadrement de thèses :**

1. Nadir Achouri (INPG). Thèse soutenue le 1er Avril 2004.

Titre: Algorithmes et Architectures Intégrés de Réparation de Mémoires à Très Grandes Densités de Défauts

Abstract: La réparation intégrée pour les mémoires fabriquées en nanotechnologies deviendra une technique incontournable à cause des très grandes densités de défauts. Dans ces conditions, les parties fonctionnelles et redondantes contiendront des défauts, ce qui nécessite des solutions de réparation innovantes. Dans le cadre de cette thèse un large spectre de solutions de réparation de plus en plus puissantes en termes de coût en surface et d'efficacité de réparation sont élaborés. Une nouvelle approche d'évaluation du rendement de fabrication des mémoires induit par l'utilisation de ces techniques de réparation, aussi bien au niveau de l'instance de mémoire qu'au niveau du wafer a été également développée.

Financement : contrat IRoC Technologies

Encadrement : M. Nicolaidis 60%, L. Anghel 40%

Situation actuelle : Ingénieur de recherche, Synopsys, France

2. Susi Saleh (INPG). Thèse soutenue le 21 juin 2005.

Titre: Méthodologie de Simulation de Fautes Transitoires dans les Technologies Sub-Microniques Avancées à plusieurs niveaux d'abstractions

Abstract: Le sujet de cette thèse concerne la qualification de circuits complexes face aux phénomènes transitoires de type SEE « single-event-effects » par différents moyens de simulation. L'étude de la sensibilité face aux phénomènes transitoires commence par une caractérisation de différentes cellules d'une bibliothèque technologique à l'aide d'une simulation mixte composant-électrique. Une méthodologie de simulation mixte analogique numérique a été mise en place afin d'améliorer la durée totale de temps de simulations. Finalement, la thèse présente une méthodologie de qualification d'un circuit complexe en faisant appel à la simulation logique avec injection de fautes transitoires. Les résultats de sensibilité du circuit obtenus sont exploités par la suite pour estimer le taux de défaillances d'une application complexe. Enfin, un outil de identification des parties sensibles aux fautes transitoires d'un circuit complexe a été réalisé.

Financement : bourse Syrie

Encadrement : L.Anghel 90%, B. Courtois 10%

Situation actuelle : Associate Professor, University of Latakia, Syrie

3. Eleftherios Kolonis. Thèse soutenue le 10 janvier 2006.

Titre: Outils CAO pour les Nanotechnologies

Abstract: Le sujet de cette thèse concerne l'étude des techniques permettant de configurer un support contenant des éléments de calcul très simples, régulières et éventuellement défaillantes, et interconnectés dans un réseau très complexe. Les outils CAO du futur devraient pouvoir transformer par programmation des nano-réseaux en des systèmes de calcul tel qu'un super calculateur de façon à créer des systèmes de calcul classique ou de simuler des systèmes complexes naturels ou imaginés par l'homme.

Financement : bourse MNERT

Encadrement : M. Nicolaidis 60%, L.Anghel 40%

Situation actuelle : service militaire en Grèce et recherche d'emploi

4 Cristiano Lazzari. Thèse qui a débuté en septembre 2004, soutenance prévue en septembre 2007.

Titre : Outils de génération automatique des layouts des circuits complexes

Financement : ministère

Encadrement : L. Anghel 50%, R. Reis, UFRGS 50%

Situation actuelle : Thèse en cours

5 Trinh Dang. Thèse qui a débuté en septembre 2005, soutenance prévue en septembre 2008

Titre : Caractérisation des Transistors à Base de Nanotubes de Carbone et étude de défaillances

Financement : contrat + bourse MIRA

Encadrement : R. Leveugle 50%, L. Anghel 50%

Situation actuelle : Thèse en cours

6 Claudia Rusu. Thèse qui a débuté en septembre 2006, soutenance prévue en septembre 2009

Titre Tolérance aux fautes dans les systèmes de communication complexes NOC

Financement : MNERT

Encadrement : L. Anghel 90%, M. Nicolaidis 10%

Situation actuelle : Thèse en cours

Co-Encadrement de stages DEA, DESS et Projets de Fin d'Etudes

1. Dan Alexandrescu, DEA 2000
Sujet : Développement d'un outil de simulation de fautes transitoires au niveau portes logiques.
2. Susi Saleh, DEA 2000
Sujet : Conception d'un capteur de courant IDDQ pour les technologies sousmicroniques avancées.
3. Katalin Popovici (Projet de Fin d'Etudes) et Marius Bonaciu (DEA), 2003
Sujet commun: Conception et co-simulation d'un Vo-codeur à l'aide des langages SystemC et VHDL
4. Adrian Vintu, Projet de Fin d'Etudes, 2004
Sujet : Développement et réalisation d'un logiciel dédié à la simulation d'un milieu de vie artificiel
5. Celine Capillo, Master Pro2 (DESS CSINA, UJF) 2005
Sujet: Etude de la fiabilité des MEMS/MOEMS face aux radiations ionisantes
6. Trong-Trinh Dang, DEA, UJF, 2005
Sujet: Nanotubes de carbone et Single Electron Transistors en logique
7. Claudia Rusu, Master of Science, Université Oradea, 2005-07-27
Sujet: Prédiction de la sensibilité des circuits auto-contrôlables face aux fautes

- transitoires en technologie submicronique avancée
8. Seddik Benhamadi, Master Pro CSINA, mars – septembre 2006
Sujet : Conception d'une cellule mémoire durcie aux radiations
 9. Chao Peng, Master Pro CSINA, mars – septembre 2006
Sujet : Simulations des fautes transitoires multiples sur une bibliothèque de cellules numérique
 10. Vladimir Pasca, PFE février – juillet 2006
Sujet : Outil d'injection de fautes et dispersion dans des structures à base de CNTFET
 11. Ovidiu Coman, PFE, février - juillet 2007
Sujet : Synthèse matérielle de NOC
 12. Pallavi Reddy (stage 2A Master Nanotech), juin –septembre 2007
Sujet : Synthèse matérielle de NOC

Participation à plusieurs jurys de thèse en tant que rapporteur ou examinateur

Rapporteur de thèse – thèse soutenue à l'Université Technologique Benares, Inde.

Sujet : Conception et modélisation d'un transistor NMOS durci aux radiations ionisantes

Examineur de thèse : les thèses soutenues par les doctorants que j'ai co-encadré.

VALORISATION DE LA RECHERCHE

Participations aux projets industriels et européens

Avril 2005 **Projet MEDEA : "PARACHUTE"**

-Décembre 2008 **Responsable TIMA pour le projet PARACHUTE:** Parasitic Extraction and Optimization for Efficient Microelectronic System Design and Application

Partenaires : IZM (G), EADS, Airbus, ST Microelectronics (France, Italie), Philips, Infineon, Alcatel Espace, Atmel, Bosch, FIAT, Magneti Marelli, Conti TEMIC, ZUKEN, iRoC Technologies, Université de Montpellier, Université de Madrid, Politechnico di Torino, Laboratoire TIMA

Janvier 2006- **Projet de recherche EADS**

Projet de collaboration avec EADS CCR concernant l'étude de la sensibilité des

Décembre 2008 **FPGA Atmel face aux radiations**

Partenaires : TIMA, EADS

Janv. 2005 **Projet Industriel "ERC2"**

-Janv. 2008 **Responsable du sub-projet :** Etudes de la fiabilité des MEMS/MOEMS face aux radiations

Partenaires : ST Microelectronics, France, Laboratoire TIMA, France

Sept 2004 – **ACI Sécurité Informatique "VENUS"**

Sept. 2007 **Coordonnatrice du projet VENUS :** Evaluation des Effets Nuisibles pour les Usagers d'un Système intégré

Partenaires : Laboratoire IXL Bordeaux, Laboratoire TIMA, France

- Janv. 2002** **Projet Industriel EDF**
-Janv. 2004 **Partenaire du projet** : "Méthodologie de remplacement des processeurs obsolètes, cas d'étude: Motorola 6800, validation des solutions de remplacement
Partenaires: EDF (Electricité de France) et Laboratoire TIMA/CMP, France
- Janv. 2001** **Projet Européen FET/IST "FRACTURE"**
-janv. 2004 **Responsable TIMA du projet** : "Fault Tolerant Memories for High Defect Densities: Design and Validation of New Built in Self Repair Architectures Built in Nanotechnologies"
Partenaires: Laboratoire TIMA/CMP, IRoC Technology, France, Demokritos Research Institute, Greece, University of Durham, UK
- Janv. 2000** **Projet Industriel "ERC1"**
- Déc. 2003 **Responsable du sous-projet**: *Caractérisation des circuits développés en technologie sous-micronique très avancée par rapport aux Single Event Upsets*
Partenaires: Laboratoire TIMA/CMP, ST Microelectronics, France
- Janv. 2000-** **Projet Industriel "MIRFAS"**
Déc 2001 **Responsable TIMA du projet**: *Développement et validation d'un système "fail-safe" de commande et contrôle des feux pour une application critique ferroviaire*
Partenaires: Laboratoire TIMA/CMP, CSEE, INRETS, Technicatome, and SNCF, France
- Juin - Août** **Projet Industriel "S81"**
2000 **Responsable TIMA du projet**: *Conception d'un Processeur SPARC 32 bits tolérant aux fautes transitoires,*
Partenaires: Laboratoire TIMA/CMP, IRoC Technologies, France.
- 1997/2000** **Project MEDEA "A401"**
Responsable TIMA du projet: *Développement de techniques de tolérance aux fautes a faible coût matériel face aux fautes transitoires spécifiques aux technologies sousmicroniques très avancées*
Partenaires: ST Microelectronics, Philips, Infineon, Laboratoire TIMA/CMP

Participations aux transferts industriels

2001 « Etude et réalisation d'un processeur SPARC 32 bits tolérant les fautes », transfert industriel vers la PME IRoC Technologies, (Grenoble) qui a porté sur l'application des techniques de tolérance aux fautes sur le processeur LEON développées dans le cadre de ma thèse.

ANIMATION DE LA RECHERCHE

Membre d'organisations scientifiques

- Membre IEEE
- Membre IEEE Computer Society

- Membre IEEE Test Technology Technical Council

Organisation de conférences internationales:

- **Panel Chair**, IEEE International On Line Testing Symposium 2007, Crete, Grece
- **Vice General Chair** IEEE International On Line Testing Symposium 2006, Lake Como, Italy
- **General Chair** IEEE International On Line Testing Symposium 2005, Saint Raphael, France
- **Publicity Chair** IEEE International On Line Testing Symposium 2004, Madeira, Portugal
- **Publicity Chair** IEEE International On Line Testing Symposium 2003, Kos, Grèce
- **Local Chair** IEEE International On Line Testing Workshop 2002, l'Ile Bendor, France

Organisation Ecoles d'été:

- **Program Chair** de l'Ecole d'été: SERESSA en 2006, Seville, et SERESSA en 2007, Buenos Aires

Membre du comité de programme et/ou d'organisation de plusieurs conférences :

- **VTS**: IEEE VLSI Test Symposium, 2005 - 2007
- **IOLTS**: IEEE International On Line Testing Symposium, 2000-2006
- **DFT**: IEEE Defect and Fault Tolerance Symposium, 2001-2006
- **LATW** : IEEE Latin America Test Workshop, 2001 – 2006.

Organisation de session spéciales et de panels dans des conférences internationales

- **Panel**, IOLTS 2007, Crete, Greece, July 2007, "SER Trends in 45nm and beyond"
- **Hot Topic**, DATE, Nice, France, April 2007 : "Testing in Year 2020"
- **Panel**, IOLTS July 2006, Como, Italy: "From Nuclear Reaction to System Failures: Can We Address All Levels of Soft Errors Accurately?"
- **Special Session**, IOLTS July 2005, San Raphael, France: Simulation and Mitigation of Single Event Effects

Membre du comité de lecture de conférences et revues internationales

- **Conférences et workshops internationales** : IEEE: IOLT (International On Line Testing), IEEE DFT (Design and Fault Tolerance), LATW (IEEE Latin America Test Workshop), DATE (Design Automation and TEST Conference in Europe), ITC (International Test Conference), DAC (Design Automation Conferences) RADECS (RADiation Effects on Component and Systems), régulièrement entre 2001-2007
- **Revues internationales** (participations sporadiques) : IEEE Transaction on Nuclear Science, Microelectronics Journal, IEEE Journal of Electronic Technologies and Test Applications, IEEE Design and Test of Computers, IEEE Transaction of Computer Aided Design, IEEE Transaction on DSC, IEEE Transaction on VLSI

Présidence de sessions dans des conférences internationales :

- Workshop DSN 2007
- IEEE International On Line Testing Symposium (IOLTS) entre 2003-2006
- IEEE Latin America Test Workshop (LATW) entre 2002-2006
- RADiation Effects on Component and Systems (RADECS) en 2002 et 2006
- Symposium on Integrated Circuits and Systems Design (SBCCI) en 2003
- ACM/CS Asian and South Pacific Design and Automation Conference (ASPDAC) en 2005
- IEEE VLSI Test Symposium (VTS) entre 2002-2006
- IEEE Design of Fault Tolerance Systems Symposium en 2005.

Participation à des panels dans des conférences internationales :

- « Design and Test Challenges in Deep Sub-micron Nanotechnologies », IEEE DTIS, September 2007, Morocco
- “From Nuclear Reaction to System Failures: Can We Address All Levels of Soft Errors Accurately?”, IOLTS July 2006, Como, Italy
- “Next generation Design: Is EDA the Weakest Link?”, IEEE VLSI Design, January 2005, Calcutta, India
- “Process Variation Impact on Design and Test”, IEEE VLSI Test Symposium, Napa Valley, April 2004, USA
- “Collaborations on Research and Education between Europe and Latin America”, IEEE Latin American Test Workshop en 2002, February, Montevideo, Uruguay
- “Future Directions Caused by Very Deep Submicron technologies”, Symposium on Integrated Circuits and Systems Design (SBCCI 2002), August 2002, Porto Alegre Brazil
- “IP Blocks Hardening Techniques”, RADiation Effects on Component and Systems (RADECS 2001)

Participation à des manifestations nationales

- Participation au GDR – SOC-SIP, présentation dans le cadre du Groupe Thématique "Conception tolérante aux fautes, défauts et dispersions", février et juin 2007
- Participation au groupe de travail RIS (Réseau d'Ingénierie de la Sureté de fonctionnement) entre 2002-2004, présentation des travaux de recherche
- Participation aux Actions Spécifiques STIC du CNRS « AS-AMS » pendant l'année 2002.

LISTE DE PUBLICATIONS

Chapitres dans les ouvrages

1. C. Lazzari, L. Anghel, R. Reis "A Transistor Placement Technique Using Genetic Algorithm And Analytical Programming", Chapter in Springer selection of best papers from VLSI-SoC'05, à paraître octobre 2007.
2. L. Anghel, M. Rebaudengo, M. Sonza Reorda, M. Violante « Multilevel Fault Effects Evaluation », avril 2007

Reuves à comité de lecture

1. I. O'Connor, J. Liu, F. Gaffiot, F. Pregaldiny, C. Manneux, C.Lallement, J. Goguet, L. Anghel, R. Leveugle, T. Dang, "CNTFET modeling and reconfigurable logic circuit design", accepté à IEEE TCAS 2007.
2. C. Lazzari, L. Anghel, R. Reis, "A Case Study on Phase-Locked Loop Automatic Layout Generation and Transient Fault Injection Analysis", accepté pour publication dans le Journal of Electronic Testing and Testable Applications, prévue à paraître en Août 2007.
3. L. Anghel, M. Nicolaidis, N. Achouri "Memory Defect Tolerance Architectures for Nanotechnologies" in Journal of Electronic Testing and Testable Applications, August 2005
4. D. Alexandrescu, L. Anghel, M. Nicolaidis, "Simulating Single Event Transients in VDSM ICs for Ground Level Radiation", in Journal of Electronic Testing and Testable Applications, August 2004.
5. M. Nicolaidis, L. Anghel, "Concurrent Checking for VLSI", Microelectronic Engineering 49, An International Journal of Semiconductor Manufacturing Technology, Number 1-2, p. 139-156, November 1999.

Conférences invitées dans des congrès internationaux

6. L. Anghel, "SET and SEU Effects at Multiple Abstraction Levels", Invited talk, Single Event Effects Symposium, Long Beach, CA, USA, March 2006

Conférences, symposiums, et workshop à comité de lecture

1. C. Lazzari, R. Reis, L. Anghel, « Efficient Timing Closure with a Transistor Level Design Flow », accepté à la conférence VLSI SOC 2007, November 2007 Atlanta USA
2. C. Grecu, L. Anghel, P. Pande, A. Ivanov, R. Saleh "Essential Fault-Tolerance Metrics for NoC Infrastructures", in Proceedings of 13th IEEE On Line Testing Symposium, Crete, July 2007
3. C. Rusu, A. Bougerol, L. Anghel, C. Weulerse, N. Buard, S. Benhammadi, N. Renaud, G. Hubert, F. Wrobel, T. Carriere, R. Gaillard "Multiple Event Transients Induced by Nuclear Reactions in CMOS Logic Cells" in Proceedings of 13th IEEE On Line Testing Symposium, Crete, July 2007

4. L. Anghel, M. Nicolaidis, "Defects Tolerant Logic Gates for Unreliable Future Nanotechnologies », Invited Talk dans une session Speciale de la conférence IWANN (International Work-Conference on Artificial Neural Networks), June 2007, San Sebastian, Spain
5. T. Dang, L. Anghel, R. Leveugle, „CNTFET-based Logic Gates and Characteristics", accepté au IEEE Silicon Nanoelectronics Workshop, June 2007, Kyoto, Japan
6. V. Pouget, A. Douin, D. Lewis, L. Anghel, R. Leveugle, R. Velazco, "Tools and Methodology Development for Pulsed laser Fault Injection in SRAM based FPGA", in Proceedings of 9th IEEE Latin American Workshop, March 2007, Peru
7. A. Ammari, L. Anghel, R. Leveugle, C. Lazzari, R. Reis, " SET Fault Injection Methods in Analog Circuits: Case Study", in Proceedings of 9th IEEE Latin American Workshop, March 2007, Peru
8. T. Dang, L. Anghel, R. Leveugle, "CNTFET-based Logic Gates and Simulation", in Proceedings of IEEE International Design and Test, November 2006, Dubai, UAE.
9. T. Dang, L. Anghel, R. Leveugle "CNTFET Basics and Simulation", in Proceedings of IEEE International Conference on Design and Test of Integrated Systems in Nanoscale Technologies, September 2006, Tunis
10. C. Lazzari, L. Anghel, R. Reis, "Phase-Locked Loop Automatic Layout Generation and Transient Fault Injection Analysis: A Case Study », in IEEE International On Line Testing Symposium, July 2006, Como, Italy
11. G. Hubert, A. Bougerol, T. Carriere, N. Buard, L. Anghel, "Prediction of Transients Induced by neutrons.Protons in CMOS Combinational Logic Cells", in IEEE Inetrnational On Line Testing Symposium, July 2006, Como, Italy
12. C. Lazzari, Lorena Anghel, M. Nicolaidis, « Multiple Defects Tolerant Devices for Unreliable Future Nanotechnologies », in Proceedings of IEEE Latin American Test Workshop, Buenos Aires, Argentina, April 2006
13. Cristiano Lazzari, Lorena Anghel, Ricardo A. L. Reis, "A Transistor Placement Technique Using Genetic Algorithm and Analytical Programming", in Proceedings of IFIP VLSI –SOC Conference, Perth, Australia, October 2005
14. Cristiano Lazzari, Lorena Anghel, Ricardo A. L. Reis "On Implementing a Soft Error Hardening Technique by Using an Automatic Layout Generator: Case Study", in Proceedings of 11th IEEE International On Line Testing Symposium, San Raphael, July 2005.
15. L. Anghel, R. Leveugle, P. Vanhauwaert "Evaluation of SET and SEU Effects at Multiple Abstraction Levels", in Proceeding of 11th IEEE International On Line Testing Symposium, San Raphael, July 2005.
16. C. Lazzari, L. Anghel, R. Reis, "Soft Error Circuit Hardening Techniques Implementation Using an Automatic Layout Generator", in Proceedings of IEEE Latin American Test Workshop, Salvador Bahia, Bresil, April 2005.
17. L. Anghel, E. Kolonis, M. Nicolaidis « Transient and Permanent Fault Tolerance Memory Cells for Unreliable Future Nanotechnologies», in Proceedings of IEEE Latin American Test Workshop, Salvador Bahia, Bresil, April 2005.
18. L. Anghel, D. Bhattacharia, "Timing Closure: Hybrid Optimization to the Rescue", in EE Time Asia, August 16th, 2004.
19. L. Anghel, E. Sanchez, M. Sonza Reorda, G. Squillero, R. Velazco, "Coupling different methodologies to validate obsolete processors", In Proceedings of Defect and Fault Tolerance in VLSI systems (IEEE, DFT Symposium) 2004, Cannes, France

20. L. Anghel, M. Nicolaidis, N. Achouri, " Built In Self Repair Techniques for Based on ECC Codes to Cope with Memories Affected by High Defect Densities" in Proceedings on IEEE VLSI Test Symposium 2004, Napa Valley, USA, April 2004. ***DISTINCTION : Best Paper Award of IEEE VTS Conference 2004.***
21. L. Anghel, M. Nicolaidis, N. Achouri, " Evaluation of Memory Built-In Self Repair Techniques for High Defect Density Technologies" to be published in Proceedings on IEEE Pacific Reliable Dependable Computing 2004, Tahiti, French Polynesia, March 2004.
22. M. Nicolaidis, N. Achouri, L. Anghel, « A Memory Built-In Self Repair for High Defect Densities Based on Error Polarities » in Proceedings of 18th, Defect and Fault Tolerance for VLSI Systems, Cambridge, MA, USA, November 2003.
23. L. Anghel, R. Velazco, S. Saleh, "Validation of an Approach Dealing with Processor Obsolescence" in Proceedings of 18th, Defect and Fault Tolerance for VLSI Systems, Cambridge, MA, USA, November 2003.
24. M. Nicolaidis, N. Achouri, L. Anghel, « Memory Built In Self Repair for Nanotechnologies”, in Proceedings of IEEE 9th International On Line Testing Symposium, Kos Island, Greece, July 2003.
25. R. Velazco, L. Anghel, S. Saleh, "A Methodology for Test Replacement Solutions of Obsolete Processors”, in Proceedings of IEEE 9th International On Line Testing Symposium, Kos Island, Greece, July 2003.
26. D. Alexandrescu, L. Anghel, M. Nicolaidis, « New Methods for Evaluating the Impact of Single Event Transients in VDSM ICs”, Proceedings of 17th, Defect and Fault Tolerance for VLSI Systems, Vancouver, Canada, November 2002.
27. D. Alexandrescu, L. Anghel, M. Nicolaidis, "Simulating Single Event Transients in VDSM ICs for Ground Level Radiation”, 3rd IEEE Latin-American Test Workshop, Montevideo, Uruguay, February 2002
28. L. Anghel, D. Alexandrescu, M. Nicolaidis «Evaluation of Soft Error Tolerance Technique Based on Time and/or Space Redundancy » Proceedings of XIII Symposium on Integrated Circuits and Systems Design (SBCCI 2000), Manaus, Bresil, September 2000.
29. L. Anghel, M. Nicolaidis, I. Alzaher-Noufal "Self-Checking Circuits versus Realistic Faults in Very Deep Submicron" in Proceedings of 18th IEEE VLSI Test Symposium 2000 (VTS 2000), Montreal, Canada, p. 55-63, May 2000.
30. L. Anghel, M. Nicolaidis, "Cost Reduction and Evaluation of a Temporary Faults Detecting Technique”, in Proceeding of Design Automation and Test in Europe 2000 (DATE 2000) Conference IEEE-CS, Paris, France, p. 591-597, March 2000. ***DISTINCTION : Best Paper Award of IEEE/ACM « Design, Automation and Test in Europe 2000 » (DATE 2000)***
31. T. Calin, L. Anghel, M. Nicolaidis "Built-In Current Sensor for IDDQ Testing in Deep Submicron CMOS”, Proceeding of 17th IEEE VLSI Test Symposium 1999 (VTS 1999), Dana Point, California, April 1999.
32. L. Anghel, M. Nicolaidis, "Implementation and Evaluation of a Soft Error Detecting Technique”, in Proceedings of 5th IEEE International On-Line Testing Workshop (IOLTW 1999), July 1999, Rhodes, Greece.